

LE VERROU TRANSPARENT

Non, il ne s'agit pas d'un récit du regretté Gaston Leroux ou de quelque nouvelle aventure du génial Arsène Lupin ! Le verrou transparent est plus connu des électroniciens sous son appellation anglaise de transparent latch ; c'est une pièce essentielle du Meccano micro-informatique, qui permet de « piéger » des signaux à des instants judicieusement choisis...

Le set/reset révisé

Avec les Fiches n° 5, nous avons fait connaissance de l'élément de mémoire à deux inverseurs en anneau, qui se maintient en état aussi longtemps qu'on ne vient pas forcer sa valeur inverse.

Sa réalisation la plus connue est rattachée à la **figure 1** : deux NAND couplées en « huit ». Un niveau bas sur l'entrée \bar{S} (set) tandis que \bar{R} est haute, force l'état où Q est haut, tandis que le complément \bar{Q} est bas. Un niveau bas sur l'entrée \bar{R} (reset) a un effet rigoureusement symétrique. En principe, on s'interdit d'avoir \bar{S} et \bar{R} bas en même temps.

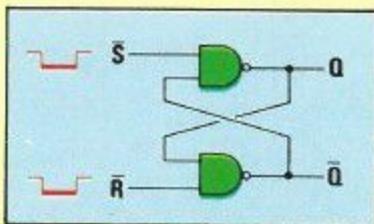


Fig. 1. - Rappel de la plus simple des bascules : le set/reset. L'état est forcé par un niveau bas sur l'une ou l'autre des deux entrées.

L'idée qui fait naître la latch à partir du simple set/reset, c'est de disposer d'un signal de commande qui interdit au set/reset de changer d'état, sauf à des instants « choisis ».

Le verrou

Bloquer un set/reset, c'est très simple : il suffit d'interdire le niveau bas aux deux entrées \bar{S} et \bar{R} .

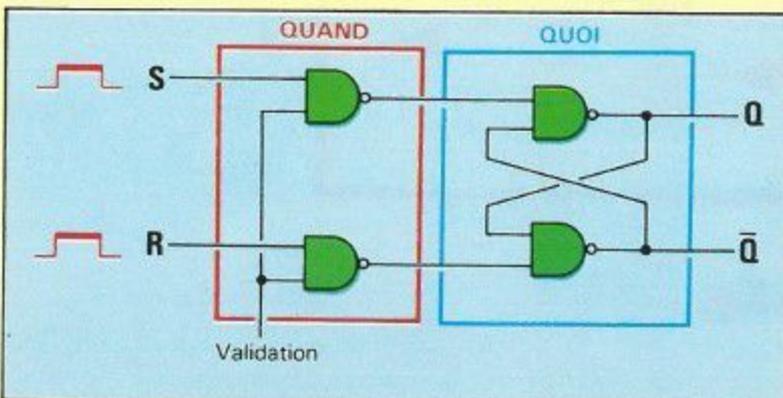


Fig. 2. - Un « verrou » de validation est ajouté au set/reset. La cellule de mémoire « QUOI » est insensible aux entrées S ou R si le signal de validation est bas ; haut, il détermine « QUAND » la cellule de mémoire « suit » les entrées. Le retour à zéro de la validation piège la dernière valeur mémorisée.

Un montage comme celui de la **figure 2** fait l'affaire, où deux NAND auxiliaires sont intercalées entre S, R et les portes constituant la mémoire proprement dite. Un signal commun de validation intervient, qui :

- au niveau bas, force la sortie des deux NAND auxiliaires à « 1 », rendant la mémoire insensible aux changements d'état des lignes S et/ou R ;
- au niveau haut, autorise les impulsions entrant par S et R à agir sur le set/reset.

Petit détail de logique : les portes NAND auxiliaires sont inverseuses, ce qui signifie que ce sont maintenant les états hauts de S et R qui forcent des changements de la cellule mémoire.

Quoi et quand

Malgré sa simplicité, ce montage contient en germe toute la **logique** que les professionnels appellent **synchrone**.

C'est-à-dire un ensemble de techniques qui font intervenir des éléments électroniques pour combiner les signaux, les mémoriser, etc., et d'autres pour déterminer **quand** ces combinaisons ont lieu.

Notre set/reset, pourvu d'un verrou, fait bien apparaître les deux classes de dispositifs :

- le set/reset retient le **QUOI**, une valeur logique déterminée par les variations des entrées,
- les portes auxiliaires déterminent

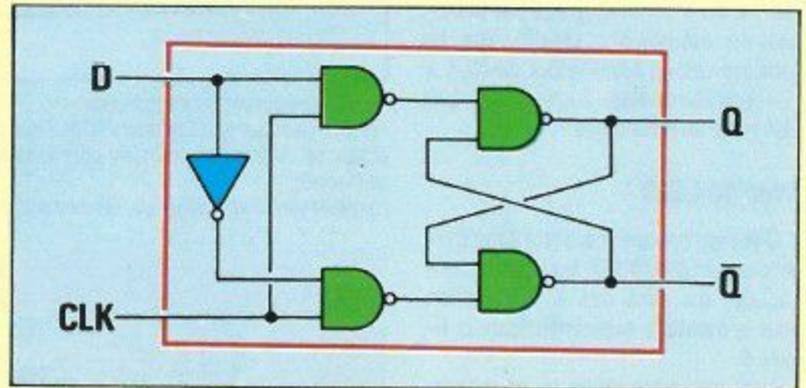


Fig. 3. - La bascule D complète : un inverseur est ajouté, qui vient compléter une entrée D unique, garantissant la compatibilité des actions set/reset. La validation est souvent appelée horloge, d'où l'abréviation CLK (clock en anglais).

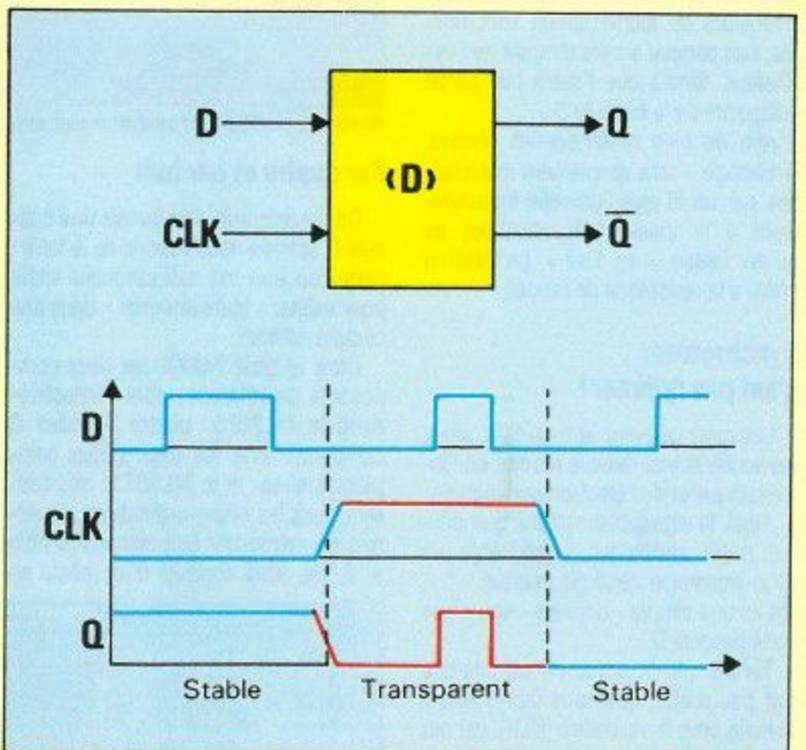


Fig. 4. - Le latch « D » vu comme une boîte noire, et son chronogramme. La cellule est transparente lorsque l'horloge est au niveau haut ; elle conserve l'état présent lors du retour à l'état bas.

QUAND les changements d'état de la mémoire peuvent avoir lieu.

C'est pourquoi il est habituel d'appeler **horloge** le signal de validation du « quand »...

La bascule « D » au complet

Il ne manque plus qu'un artifice pour constituer l'élément connu sous le nom

cryptique de « bascule D » (D flip-flop) ; un simple inverseur qui intervient entre une **entrée unique** et l'étage de verrou.

L'effet de cet ajout rend désormais exclu le conflit possible entre « set » et « reset » : s'agissant d'un **seul signal** dorénavant noté D (comme Data, fig. 3), et de son complément, seule l'une des deux entrées sera active à un instant donné (*).

Quant au signal d'horloge qui valide

son action sur la cellule de mémoire, il sera, selon la tradition, noté CLK (abréviation de *clock*).

Comme les professionnels, efforçons-nous d'oublier les détails de la construction de cette bascule D, pour ne retenir que sa fonction de « boîte noire » (fig. 4), et surtout le **chronogramme** de son fonctionnement où l'on voit que la bascule D est « transparente » quand CLK est à « 1 » (les variations de D sont recopiées par la cellule de mémoire); tandis que la dernière valeur avant retour de CLK à « 0 » est **verrouillée** (*latched*) tant que CLK reste au niveau bas.

Avec un LS00

C'est encore une fois notre sempiternelle quadruple NAND, le circuit intégré 74LS00, qui sera mis à contribution pour le montage expérimental de la figure 5.

Avec une autre vieille connaissance, le 74C14, auquel il est une fois de plus demandé de fournir un signal cyclique, grâce au montage en oscillateur déjà vu dans les Fiches n° 4. Deux autres inverseurs du même circuit sont utilisés, l'un comme simple tampon de l'oscillateur, tandis que l'autre fait partie intégrante de la bascule D.

Afin de bien relativiser les choses, l'« horloge » sera simplement matérialisée par un fil que l'on relie manuellement à la masse (désactivation) ou qu'on laisse « en l'air » (activation grâce à la résistance de rappel).

Synchroniser n'est pas rythmer !

Les mots peuvent être de faux amis, particulièrement dans le monde de l'informatique et de l'électronique digitale.

Ainsi, le signal bien rythmé que délivre notre oscillateur, contrôlable au pèse-signaux à l'endroit marqué « * », est ici une simple « donnée » en entrée de la bascule D.

Tandis que le signal de commande, fort peu précis, que nous fabriquons à la main pour la validation (CLK), est par définition l'**horloge** qui **synchronise** la bascule !

On vérifie aisément les prédictions de la théorie.

Lorsque le fil de commande est en l'air, la LED témoin montée sur la sortie Q « bat » au rythme de l'oscillateur qui alimente l'entrée D. La bascule est transparente.

En revanche, il suffit de piquer ce fil dans une ligne de masse pour que la LED demeure indéfiniment soit allumée, soit éteinte. Ce que l'on sait déterminer en intervenant à un instant où la sortie est stable dans l'un ou l'autre état.

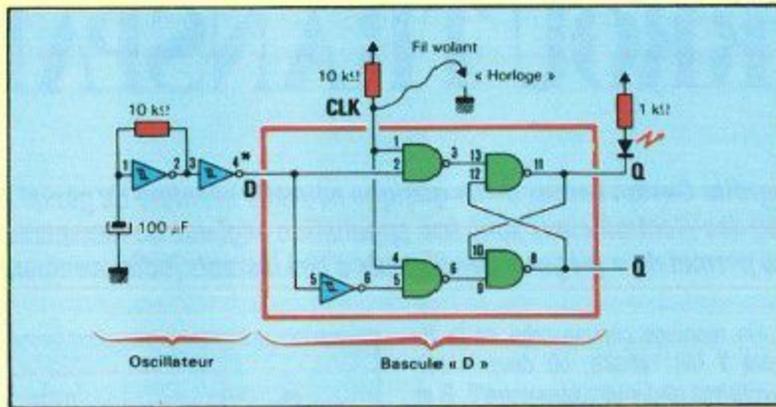
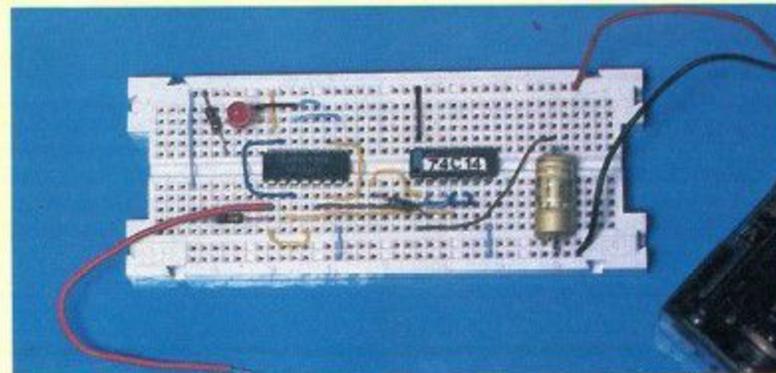


Fig. 5. - Notre montage d'expérience. Les inverseurs sont pris dans un 74C14. Deux constituent un oscillateur qui est la « donnée » de la bascule ; le troisième intervient pour inverser le signal « horloge », forcé manuellement avec un fil volant. La cellule verrou et la cellule de mémoire sont câblées autour d'un quadruple NAND 74LS00.



Réalisation pratique de l'oscillateur avec son horloge.

Par quatre et par huit

On ne construit plus jamais une bascule D comme nous venons de le faire : cette fonction est suffisamment vitale pour exister « toute intégrée » dans des circuits *ad hoc*.

Dans la série 74XXX, les deux composants de référence sont respectivement le 74LS375 : quatre bascules D complètes, avec les deux sorties complémentaires ; et le 74LS373 : très courant dans les micro-ordinateurs, il permet de mémoriser huit signaux (8 bits) à la fois, sous contrôle d'un même si-

gnal d'horloge commun.

La figure 6 donne leurs brochages.

A la figure 7, les curieux pourront voir le « détail interne » d'une bascule D parmi les quatre d'un 74LS375. Le NOR et l'inverseur de sortie forment l'anneau de mémoire attendu. Deux portes AND réalisent le verrouillage ; enfin, un inverseur assure la complémentement de l'entrée de validation.

L'anneau de mémoire est donc, selon l'état de l'« horloge », soit solidaire de l'entrée D (état transparent), soit « isolé » (état verrouillé).

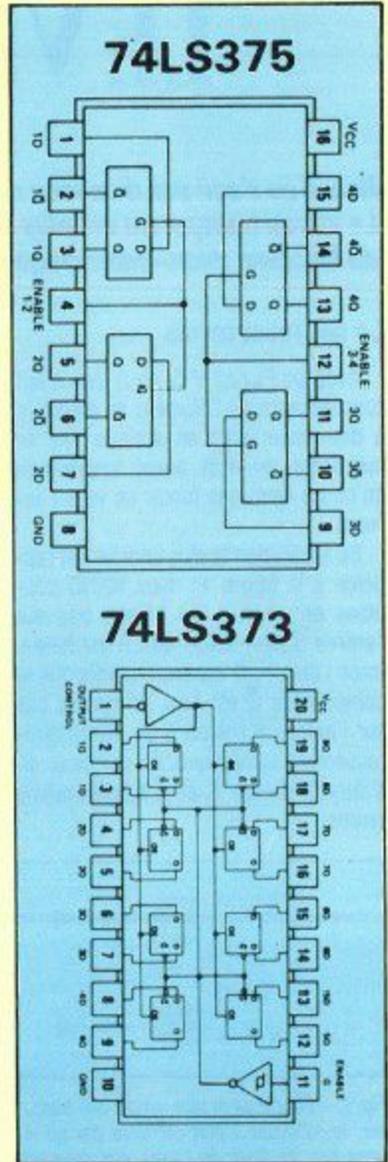


Fig. 6. - Les deux blocs de bascules D les plus classiques dans la série 74xxx. Les quatre cellules d'un 74LS375 sont complètes : entrée D et de validation, sorties complémentaires. Les huit cellules d'un 74LS373 ont une validation commune et de sens inverse ; seule, leur sortie positive est disponible, via un ensemble de barrières trois-états (cf. Fiches n° 6).

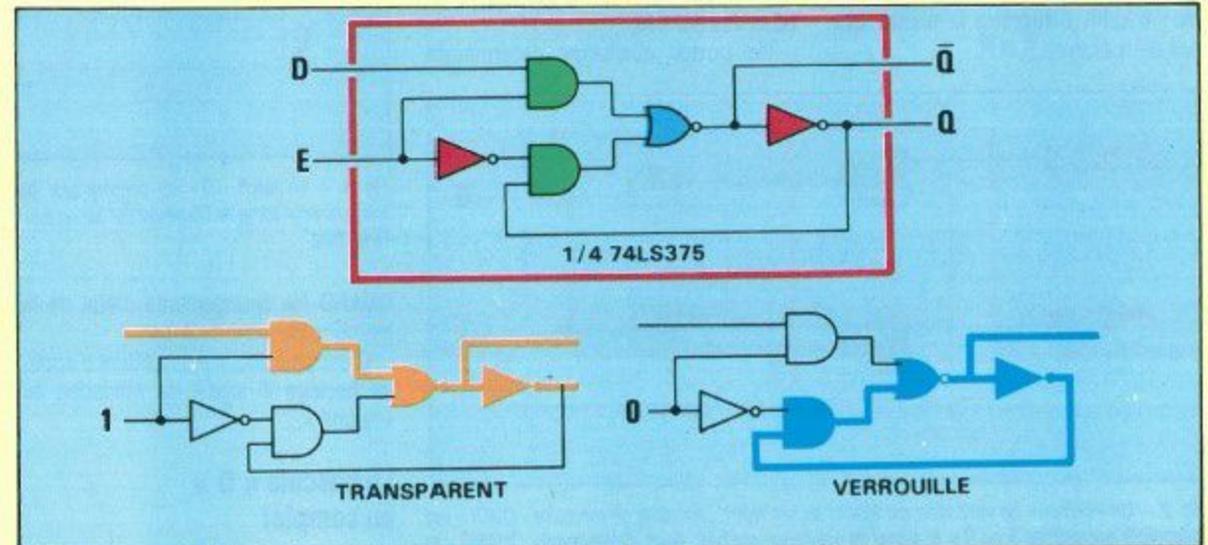


Fig. 7. - Détail intime d'une des quatre cellules d'un 74LS375. L'entrée de validation neutralise soit la « boucle de mémoire » (état transparent), soit l'entrée D (état verrouillé).

L'ATTAQUE DE FLANC: DES BASCULES SENSIBLES AUX TRADITIONS

Nous avons fait connaissance avec les bascules « D » transparentes, qui restent « sensibles » aux variations des données tant que leur signal d'horloge est actif.

Dans certaines applications, on préfère que la mémorisation intervienne en un temps très bref : celui d'une transition d'horloge, un « flanc » de signal, en jargon d'électronicien.

Un chronogramme exigeant

Le cahier des charges d'une bascule active sur flanc est plus contraignant que celui du simple latch transparent. On exige en effet (fig. 8) que ce type de bascule soit sensible à son entrée D **exclusivement** quand le signal d'horloge change d'état. Plus précisément encore, dans un sens donné ; souvent de « bas » vers « haut ».

La présence de retards et de « mémoires parasites » (capacités des éléments logiques) exclut un fonctionnement instantané de tout montage électronique. Aussi précise-t-on encore davantage les spécifications de notre « boîte noire » (fig. 9) avec l'énoncé :

- du **décalage d'établissement** (*setup*) minimum et
- du **décalage de maintien** (*hold*) de la donnée D,
- autour du **temps de montée** maximum du signal de commande CLK.

En bref, on délimite une période minimum autour de la transition du signal de commande, où l'entrée doit être **stable** ; ou alors on s'assure (c'est le

but recherché) que la bascule doit être complètement indifférente aux variations de son entrée en dehors de cette brève période critique.

Un détour par le modèle C-MOS

Pour cette fonction, on trouve bien entendu un certain nombre de circuits intégrés *ad hoc*. Le montage équivalent commence d'être complexe, et personne ne s'amusera de nos jours à assembler une telle bascule à partir de

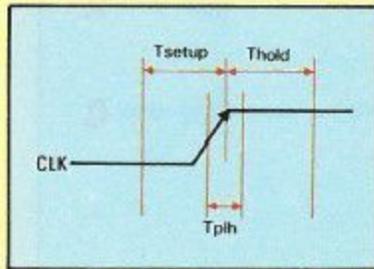


Fig. 9. - Détail de la spécification. La transition doit durer un temps maximum t_{PLH} (time Pulse Low to High).

La « donnée » doit être stable un certain temps avant t_{SETUP} et après : t_{HOLD} (voir texte).

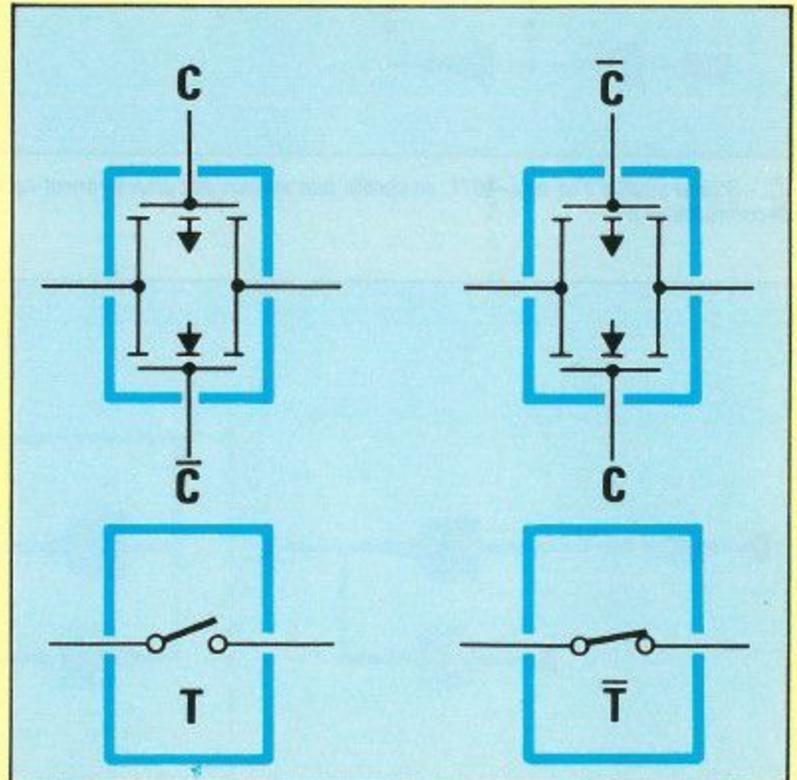


Fig. 10. - Schéma « électronique » et fonction des deux types de commutateurs bidirectionnels C-MOS ; ouvert sur le signal de commande positif (T) ou négatif (\bar{T}).

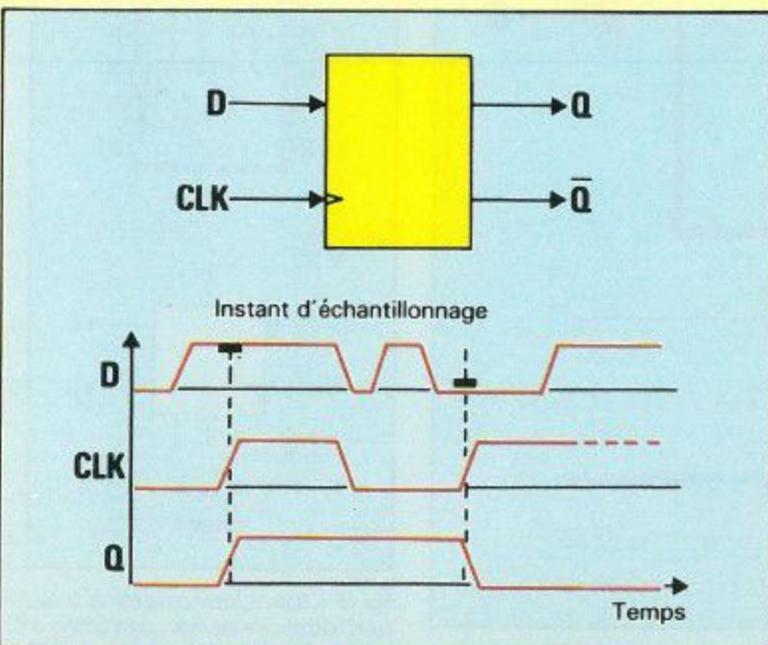


Fig. 8. - Cahier des charges d'une bascule sensible aux flancs positifs du signal d'horloge. L'état de D est recopié en sortie lors des transitions bas/haut de CLK.

NAND et d'inverseurs. Sauf par souci pédagogique.

Nous illustrerons donc la « faisabilité » de cet élément, ô combien important, sur l'exemple d'un de ces circuits intégrés. Et, une fois n'est pas coutume, c'est le 74C74 (C comme C-MOS) dont nous allons détailler... une moitié, puisqu'il contient deux bascules semblables.

Outre des éléments « logiques » au sens usuel, la technologie C-MOS dispose d'éléments « analogiques » qui viennent en pratique se combiner avec les premiers cités. L'un des plus caractéristiques est le **commutateur bidirectionnel** (*bilateral switch*).

Il s'agit de cellules à « transistors » dont le détail technologique nous entraînerait trop loin... et pour pas grand-chose (**). Retenons simplement qu'elles se comportent comme des résistances variables, sous l'effet d'un signal de commande ; avec deux états très

contrastés (fig 10). On peut les voir tout simplement comme des commutateurs !

Il en existe deux modèles, comme on s'en doute : celui qui est « ouvert » sur signal de commande haut et « fermé » dans le cas contraire, qui sera noté T ; et son compère en logique inverse, noté \bar{T} .

La cellule de base

Le schéma de la figure 11 représente une vue un peu simplifiée d'une bascule D travaillant sur flanc. On reconnaît sans peine, aux « interrupteurs » T et \bar{T} intercalés çà et là près, deux anneaux à deux inverseurs, l'un derrière l'autre. Les entrées et sorties proprement dites se font via des inverseurs auxiliaires : nous retrouvons D, Q et \bar{Q} , selon une nomenclature que nous avons déjà vue. Quant au signal d'horloge CLK, deux inverseurs en donnent

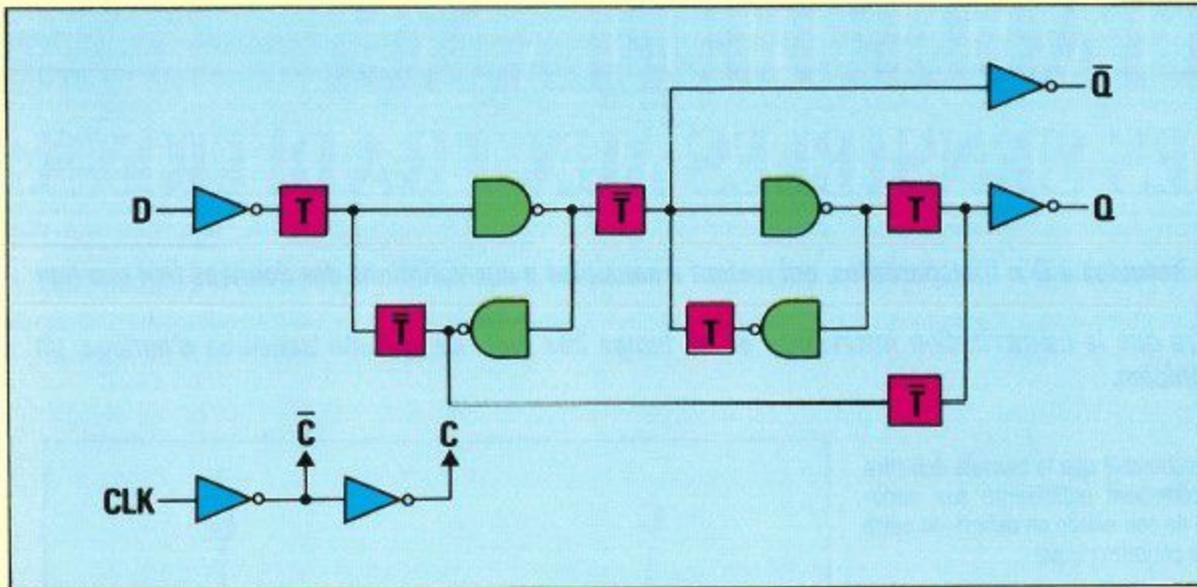


Fig. 11. - Schéma simplifié d'un demi-74C74 ; on identifie deux anneaux de mémoire « amont » et « aval », et les chemins de signaux entrecoupés de commutateurs T/T.

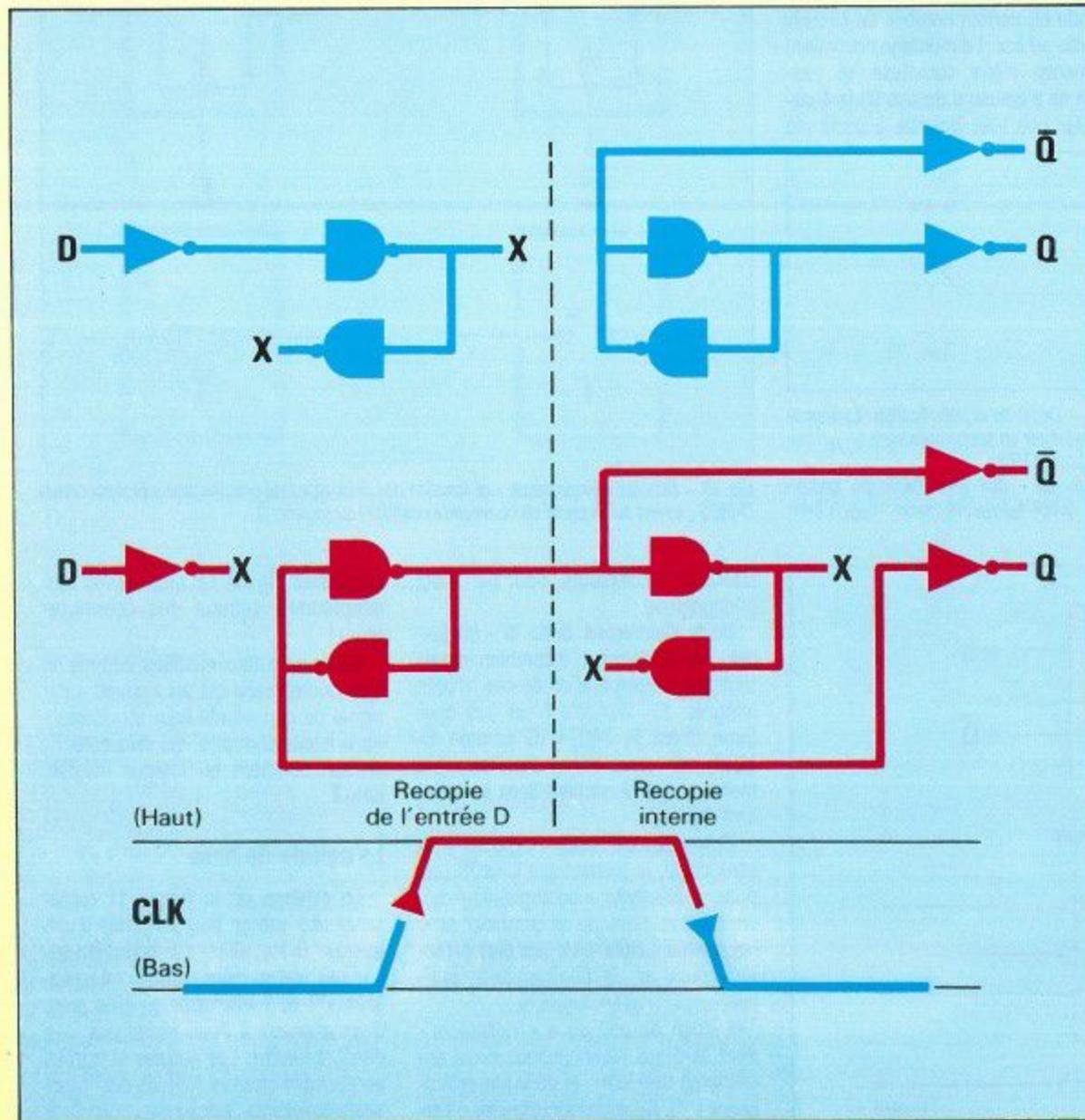


Fig. 12. - Une course de relais entre deux anneaux de mémoire. Au niveau bas de CLK, c'est l'anneau « aval » qui maintient l'état des sorties. Lors de la transition bas/haut de CLK, c'est l'anneau « amont » qui conserve l'état de D et le présente aux sorties. La transition haut/bas provoque la recopie interne du même état de l'anneau « amont » vers l'anneau « aval » ; les sorties restent stables.

des versions complémentaires, qui ouvrent ou ferment les différents interrupteurs T et \bar{T} .

A la figure 12, on a les deux schémas équivalents, selon que CLK est au niveau haut (les interrupteurs T sont ouverts, donc quasi inexistant), ou au niveau bas (c'est le tour des \bar{T}).

Le plus important, on s'en doute, survient lors des **transitions** entre ces deux situations !

Partons du niveau bas, où d'évidence seul l'anneau de sortie est établi, maintenant les sorties dans l'« ancien état ». L'anneau d'entrée, bien qu'ouvert, « suit » les variations de l'entrée D.

Un rien d'inertie... indispensable

Lorsque l'horloge présente un **flanc montant** (*rising edge*), l'anneau d'entrée s'établit en même temps qu'il est « coupé » de cette entrée. Grâce à l'**inertie** (capacité) des portes inverseuses, cela revient à y recopier l'état de l'entrée **peu avant** la commutation des interrupteurs. D'autre part, c'est cette valeur mémorisée dans le premier anneau qui trouve un « chemin » vers les sorties Q et \bar{Q} .

Lors du **flanc descendant** (*falling edge*), une recopie semblable intervient à l'intérieur du dispositif, de l'anneau d'entrée vers l'anneau de sortie ; de nouveaux chemins sont établis pour Q et \bar{Q} , de sorte que la valeur en sortie reste identique, jusqu'au prochain flanc montant.

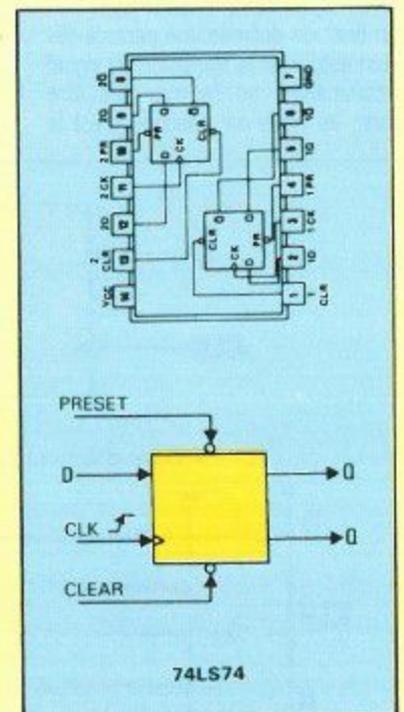


Fig. 13. - Nomenclature complète de la bascule D déclenchée sur flanc ; deux entrées de service permettent de forcer à « 1 » (PRESET) ou à « 0 » (CLEAR) cette bascule. Le composant 74LS74 en comporte deux.

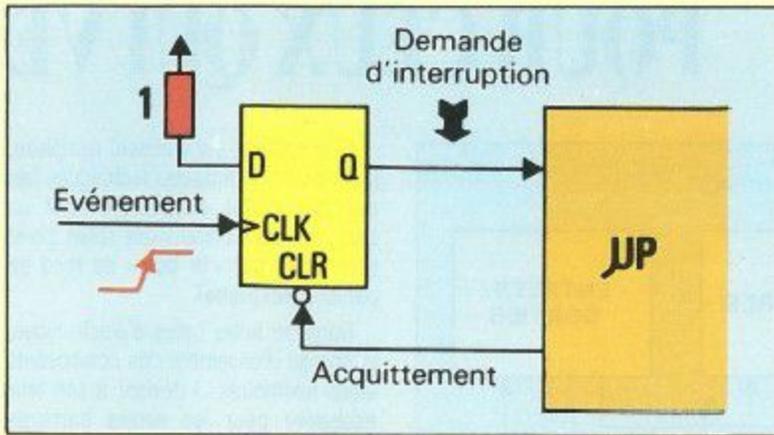


Fig. 14. - Une utilisation classique : la mémorisation d'un « événement » (transition) pour en faire une demande d'interruption vers un microprocesseur. La bascule est remise à zéro, donc « ré-armée » par une sortie du micro.

Fonctionnement en tout point conforme au cahier des charges...

PRESET et CLEAR

En plus des deux entrées D et CLK, avec les deux sorties Q et \bar{Q} , les bascules standard du genre comportent deux entrées auxiliaires :

- PRESET, signal de commande permettant un forçage à « 1 »,
- CLEAR, signal permettant un forçage à « 0 ».

La bascule D sensible aux flancs est complète (fig. 13) avec ces deux entrées de service. Pour information, on voit la représentation habituelle d'une moitié du modèle TTL de référence : le 7474.

Cet objet présente une foule de possibilités. Par exemple, il peut mémoriser... une transition (fig. 14) qui recopie un « 1 » (entrée D constante) dans la bascule ; elle sera plus tard remise à zéro par une impulsion sur CLEAR. Montage archi-classique pour les interruptions des microprocesseurs !

Un compteur binaire

Une autre utilisation très classique est la « division par 2 » d'un signal d'horloge. Ce sera d'ailleurs notre montage d'expérience (fig. 15).

Partant à nouveau de l'oscillateur de la Fiche 7A, on attaque cette fois-ci l'une des deux cellules d'un 74LS74. Les entrées PRESET et CLEAR sont inemployées. En toute rigueur, il faudrait les polariser au niveau haut, mais simplifions notre montage en nous fiant aux rappels internes.

Le « truc », c'est le re-bouclage de la sortie \bar{Q} sur l'entrée D. Pas besoin d'être grand clerc pour prédire que chaque transition positive de l'entrée d'horloge va recopier dans la bascule... l'inverse de son état antérieur. La sortie Q, que l'on matérialise avec une

LED, « bat » exactement à la vitesse moitié de l'horloge (que l'on voit grâce au pése-signaux en *).

En cascade

Ce montage présente un avantage notable sur l'oscillateur brut. En effet, il réagit toujours sur le même flanc de l'horloge, et, par conséquent, donnera en sortie deux périodes haute/basse de durée rigoureusement égale, en d'autres termes, de « rapport cyclique » unité.

Bien des horloges employées dans les micros utilisent cet artifice : un oscillateur « grossier » délivre une première horloge au rythme double du rythme désiré ; une cellule de division par deux en fait une horloge de ca-

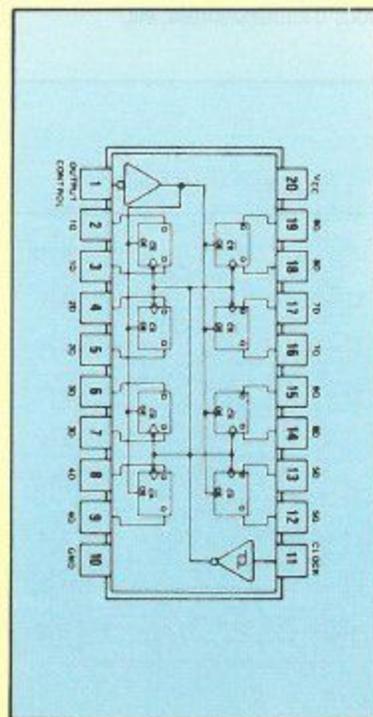


Fig. 16. - Un grand classique : le registre à huit bascules travaillant sur flanc 74LS374 ; typiquement utilisé pour recopier (un bus de) 8 bits. Notez l'OUTPUT CONTROL, qui commande les sorties en trois-états.

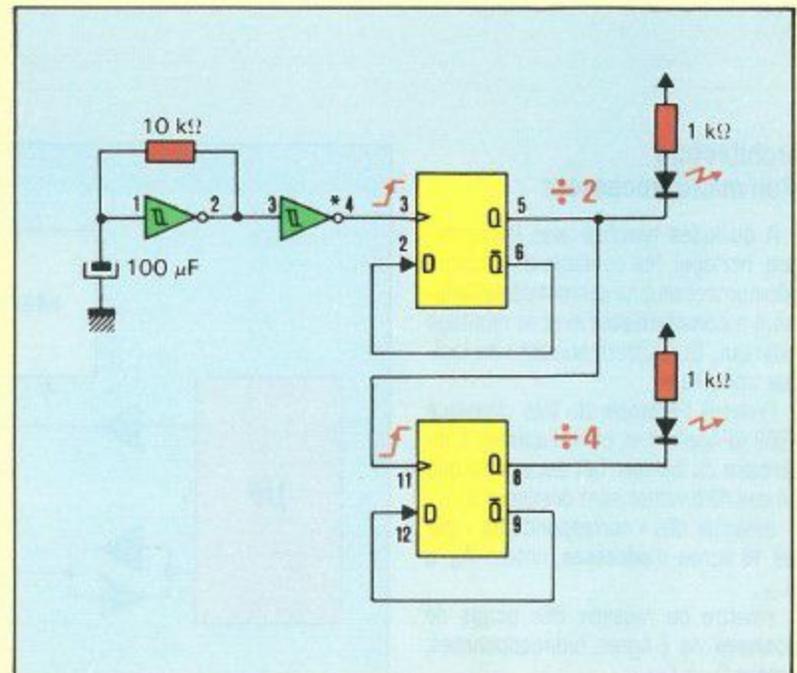
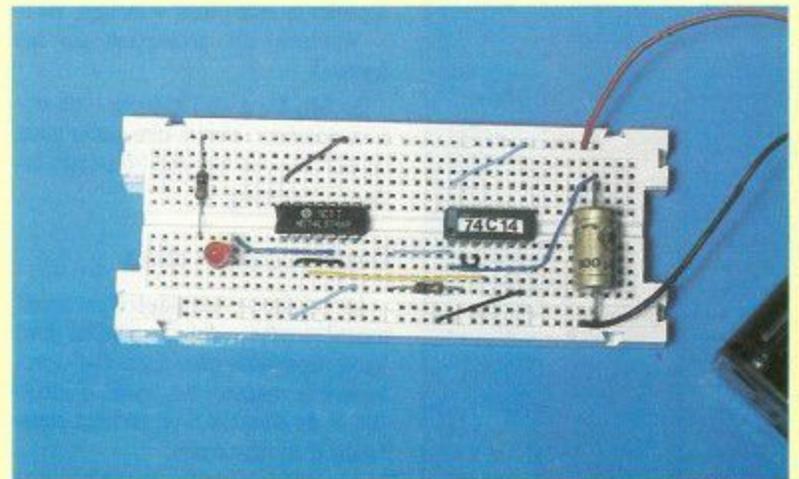


Fig. 15. - Les bascules D sensibles sur flanc dans un de leurs multiples usages : la division par deux d'une horloge.

Ici l'oscillateur construit avec un 74C14 attaque deux bascules qui divisent le rythme initial par deux (: 2) et par 2x2 (: 4). Notez le bouclage de \bar{Q} vers D.



La division par 2 d'un signal d'horloge.

dence voulue, et rigoureusement **symétrique**.

Il est aisé de poursuivre les divisions par deux, comme dans notre montage où une seconde bascule est « clockée » par la sortie de la première. L'informaticien reconnaîtra là un **compteur binaire** à deux étages. Et l'on peut poursuivre indéfiniment avec des bascules en cascade...

Huit à la fois : le 74LS374

Une version adaptée à la recopie de huit états (8 bits) à la fois existe. Comme pour les bascules transparen-

tes et leur incarnation 74LS373, on supprime les possibilités de remise à zéro, etc., ainsi que les sorties complémentaires.

On arrive alors à l'autre composant de référence du genre : le 74LS374 (brochage figure 16). Lui aussi est doté de barrières trois-états à commande collective, pour ses huit sorties.

(*) En toute rigueur, ce n'est vrai que si les variations du signal D sont assez lentes, vis-à-vis du court délai introduit par l'inverseur !

(**) Que l'on ne se méprenne pas : le sujet est passionnant... pour les seuls concepteurs de circuits intégrés.

Note au lecteur. - Bien souvent, et à regret, nous reprenons des termes anglo-saxons, voire l'argot français en usage, tel l'horrible « clocké ».

Que l'amoureux de la langue française nous pardonne, il est pour ainsi dire impossible, dans ce métier, d'être compris si l'on parle correctement, tant sont dominateurs, l'anglais et ses avatars !

Architecture d'un microprocesseur

A quelques broches près (alimentation, horloge), les contacts d'un circuit microprocesseur lui servent essentiellement à **communiquer** avec le montage extérieur. Et toujours suivant une logique trois-états.

Prenons l'exemple du très classique 6502 (d'Apple II et bien d'autres). L'inventaire du bornier fait apparaître que 24 des 40 broches sont destinées à :

- désigner des « correspondants » par les 16 lignes d'adresses, notées A₀ à A₁₅,
- émettre ou recevoir des octets de données via 8 lignes bidirectionnelles, notées D₀ à D₇.

Le signal R/W est destiné justement

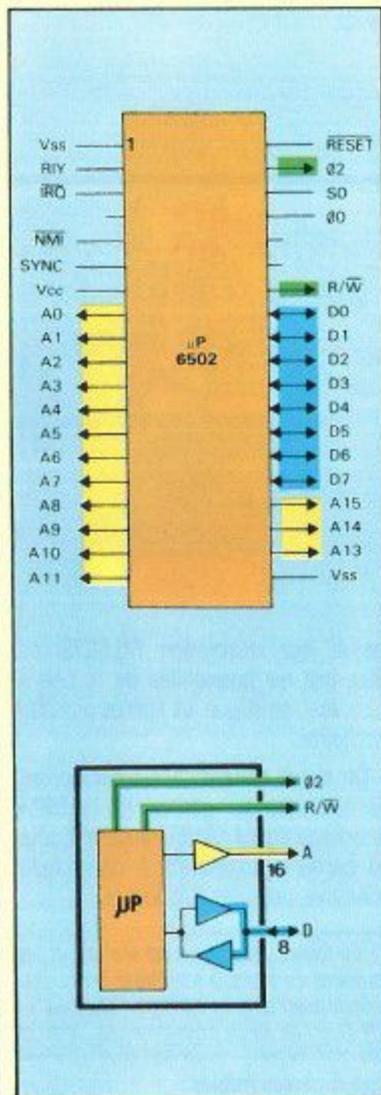


Fig. a. - Brochage d'un microprocesseur 8-bits traditionnel : 16 lignes d'adresses et 8 de données, plus les signaux de sens R/W et d'horloge O₂. Sur le schéma « interne » de la puce apparaît une barrière bi-directionnelle.

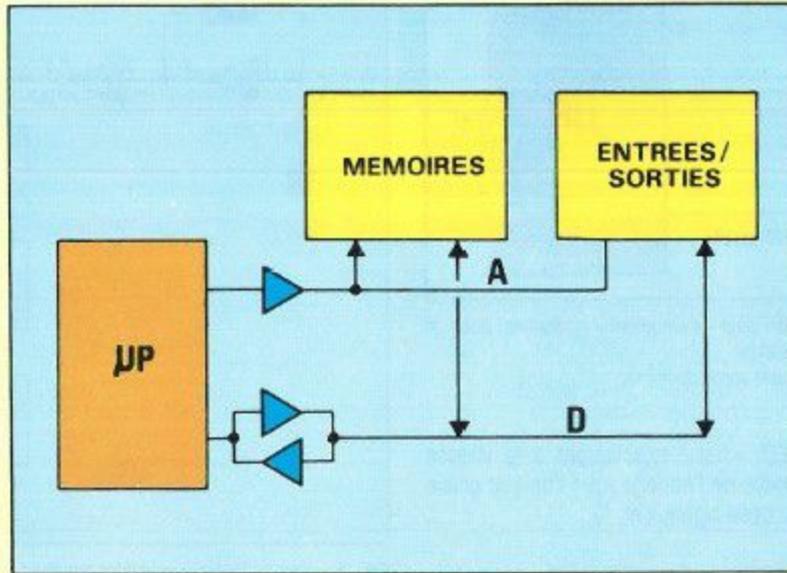


Fig. b. - Des barrières sont montées en relais entre microprocesseur et « charges » (circuits de mémoire, d'entrées/sorties).

à piloter le sens (*Read* = lecture, *Write* = écriture) de circulation sur les lignes D.

De fait, il y a « à l'intérieur » du microprocesseur, c'est-à-dire sur la puce de silicium, une barrière trois-états bidirectionnelle (fig. a).

Des barrières en relais

La puissance électrique d'un circuit microprocesseur est en général bien faible, trop faible pour supporter directement le raccord des lignes d'adresses et de données à un nombre substantiel d'autres circuits.

Dès qu'un système est assez gros et/ou s'il doit supporter des extensions, le concepteur va associer au microprocesseur des barrières trois-états (typiquement en technologie LS) dont le premier rôle sera de relayer en les amplifiant les signaux d'adresses et de données (fig. b).

Deux standards de fait existent à cet égard. D'abord le LS244 abondamment traité dans nos Fiches, pour les liaisons à sens unique telles que les lignes d'adressage. Pour les bus de données, on pourrait aussi s'en servir ; on préfère en général le LS245 (fig. c) qui, outre huit transceivers élémentaires, contient une logique-filtre commandée par deux entrées de validation \bar{G} et de direction DIR.

Pour un système conséquent, on équiperait ainsi le même 6502 (fig. d) : deux LS244 pour relayer le bus d'adresses, un LS245 pour le bus de données.

Le bus-système

Il existe maintenant un grand nombre d'autres circuits intégrés de fonctions identiques ou voisines, plus ou moins séduisants par leur brochage, leurs commandes auxiliaires, leur puissance... Il s'avère que le binôme LS244 + LS245 reste le plus fréquent.

Au-delà de telles barrières, les bus peuvent supporter un grand nombre de circuits de mémoire ROM ou RAM, de blocs d'entrées/sorties, etc.

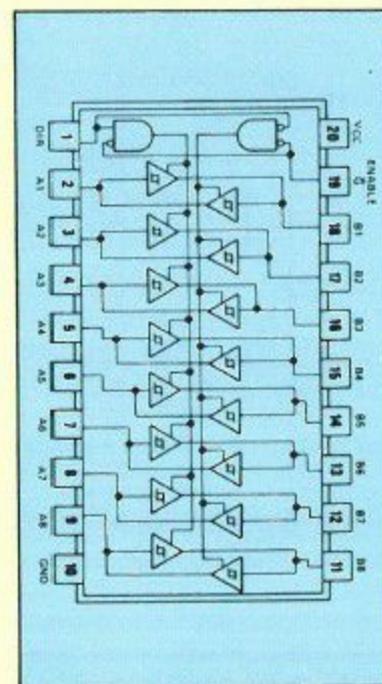


Fig. c. - Brochage et disposition de la barrière bidirectionnelle classique 74LS245. Notez la logique de validation/direction.

Si le système est vraiment complexe, il est divisé en modules techniques tels que des cartes enfichables dans un bac, via des connecteurs reliés point par point par « le bus » de fond de panier (*backplane*).

Dans de telles baies d'électronique, la charge d'ensemble des composants utiles (mémoires...) devient à son tour excessive pour les seules barrières montées en relais du microprocesseur.

Deux étages de relais

Qu'à cela ne tienne : ce qu'il y a de confortable avec le relayage en trois-états (bidirectionnel ou non), c'est qu'il peut se prolonger et se répéter de proche en proche.

La conception d'une carte logique commencera par la mise en place de circuits :

- du genre barrière bidirectionnelle, devant les lignes du bus de données du fond du bac ;
- de barrières en relais d'émission ou de réception, pour les lignes d'adresses ou de commandes.

Une carte processeur, dite aussi « unité centrale » (*cpu* pour : *central processing unit*), sera en effet un fournisseur de signaux d'adresses et de commandes, tandis qu'une carte « de mémoire » sera un consommateur.

La figure e montre le principe, très général, des cartes associées selon un bus unificateur : le classique Multibus, le VME-bus et énormément d'autres xxx-bus sont ainsi agencés. Seules varient les procédures, parfois fort subtiles, pour régler la circulation sur les bus d'adresses et de données.

Néophyte, il te faut assimiler les mécanismes du trois-états, faute de quoi tu n'as aucune chance de comprendre les micro-ordinateurs et bus modernes !

Latch transparent et bus multiplexé

Avec l'élargissement de leur espace adressable, qui se conjugue avec des mots de largeur croissante (16 bits, bientôt 32), les microprocesseurs de haut de gamme sont de plus en plus « à l'étroit » dans les boîtiers classiques. 40 broches, 48 broches, 64 broches pour le géant 68000...

Quand on ne peut passer de front, c'est bien connu, on passe à la queue-leu-leu. C'est la solution retenue pour

ENT ALLER PLUS LOIN

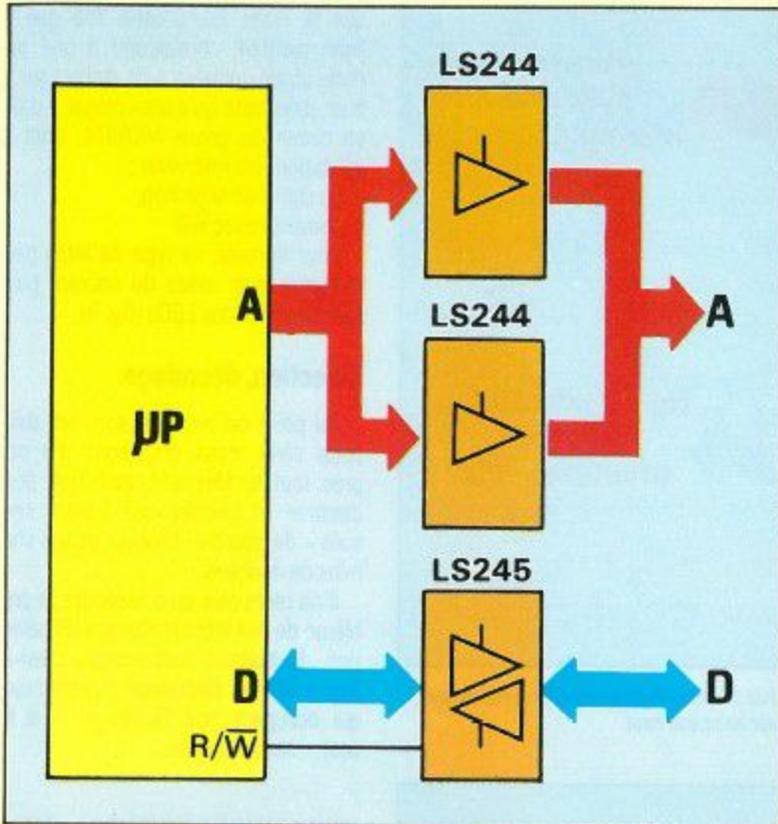


Fig. d. - Exemple d'équipement pour un microprocesseur 8-bits. Le bus d'adresses A est relayé par deux 74LS244 à sens unique (2x8 lignes) ; le bus bi-directionnel de données est relayé par un seul transceiver 74LS245.

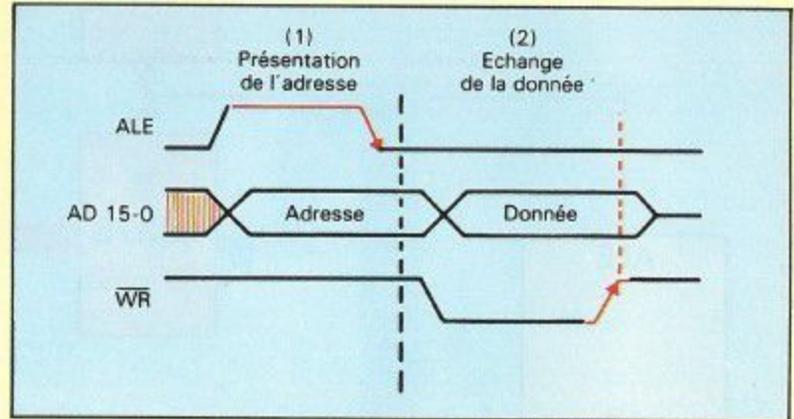


Fig. f. - Chronogramme simplifié d'une écriture-mémoire par le microprocesseur 8086. Le premier temps de présentation de l'adresse est indiqué par le signal ALE ; le trait coloré matérialise sa phase active. La donnée succède à l'adresse sur le bus AD, avec un flanc du signal ad hoc WR qui coïncide avec la validité du mot (stable).

les « 16 bits », avec un bus unique multiplexé que l'on trouve dans certaines familles à 8 bits, par ailleurs.

Le principe est *grasso modo* toujours le même : chaque cycle du processeur est divisé en deux temps :
 1° présentation sur le bus de l'adresse (-mémoire)
 2° lecture ou écriture d'un mot sur le même bus.

Un exemple : le 8086

L'un des premiers micros du genre, le 8086, communique avec les autres composants, via un bus unique bidirectionnel de 16 lignes, nommées AD₁₅ à AD₀, où « AD » est l'abréviation de Address + Data (fig. f).

Dans son mode d'emploi « minimum », le processeur délivre à chaque cycle l'adresse-mémoire considérée, accompagnée d'un signal d'échantillonnage ALE (Address Latch Enable)... qui évoque irrésistiblement notre Fiche 7A. Ce n'est pas un hasard : ce signal est effectivement conçu pour piloter des latches transparents qui vont :

- être, dès que possible, transparents (précisément !) à l'adresse ;
- la « piéger » et la maintenir stable après le flanc descendant d'ALE.

Un montage-type avec des 74LS373 est donné à la figure g ; on observe que ces latches ne sont pas à proprement parler « en trop » (par rapport à un bus d'adresses non multiplexé), puisque de simples considérations de puissance électrique imposent de toute façon des circuits-relais, dès que le système prend quelque importance.

Le latch piloté sur flanc : la plus simple des sorties

Sans nier les (immenses) vertus des circuits d'entrées/sorties spécialisés : PIO, PIA et autres VIA, le simple latch reste très compétitif pour la réalisation de « sorties » simples. Telle, par exemple, une rangée de huit voyants LED.

Les microprocesseurs accompagnent les données « écrites » de si-

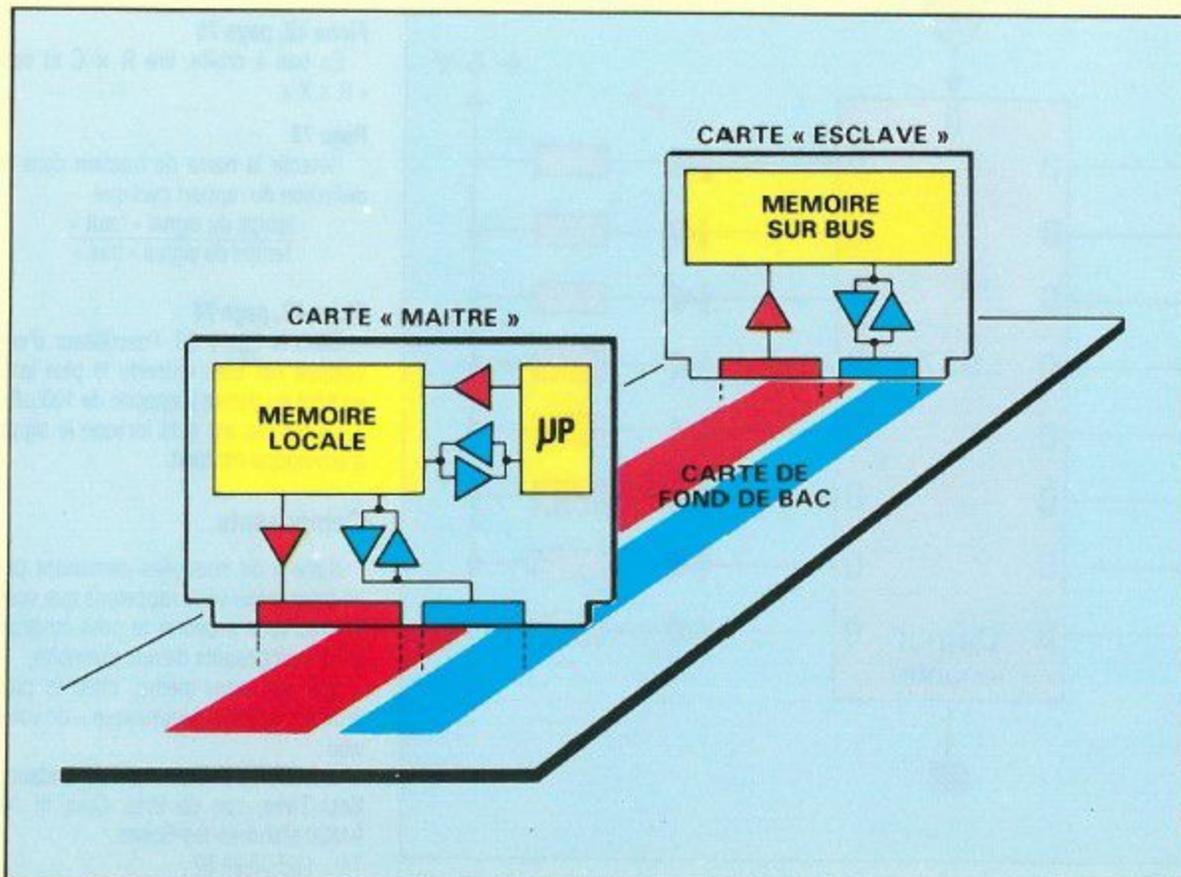


Fig. e. - Dans un système complexe, les cartes communiquent par des lignes de « fond de bac ». Les signaux traversent plusieurs fois des relais trois-états ; ainsi, une donnée écrite du microprocesseur vers une mémoire « esclave » passera par trois transceivers successifs (au moins).

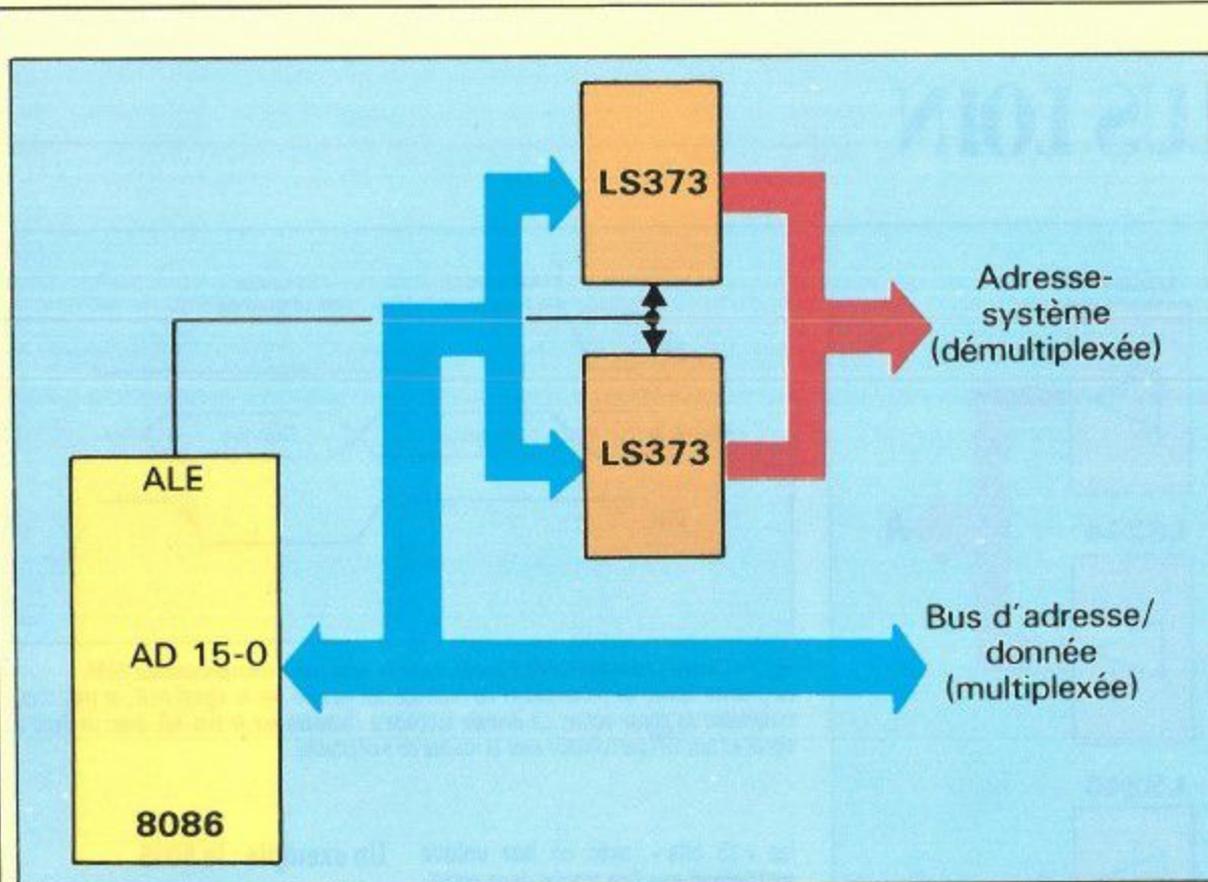


Fig. g. - Le signal ALE commande deux latches transparents 74LS373, qui piègent chacun 8 des 16 bits d'adresses présentés par le processeur. Au retard de « traversée » près, l'adresse est disponible sur la voie d'adresse-système dès que ALE est au niveau haut.

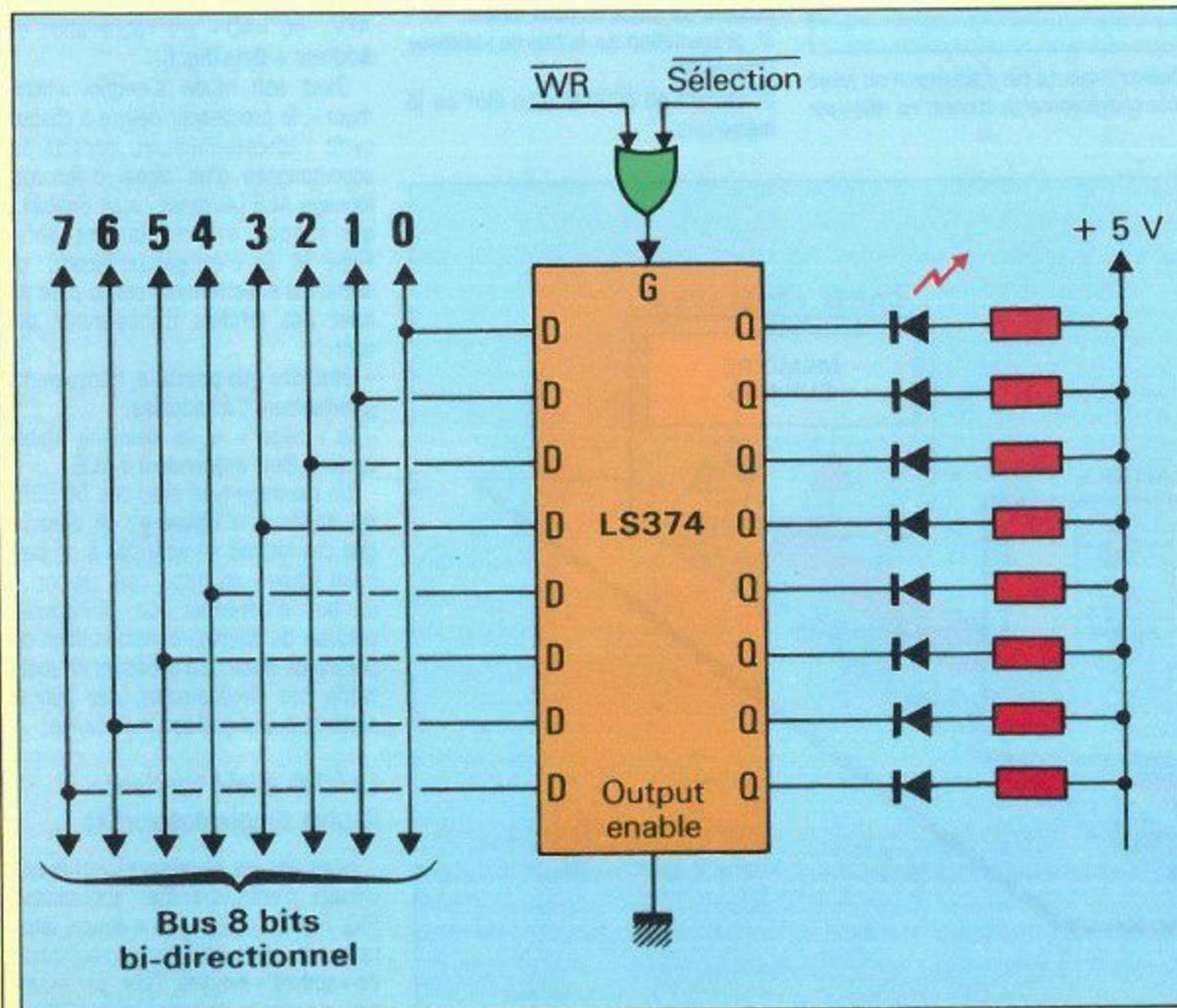


Fig. h. - Montage d'un LS374 comme organe de sortie simple (commande de 8 voyants). La valeur véhiculée par le bus est recopiée dans les huit bascules sur le flanc arrière de WR et si le dispositif est sélectionné (signal sélection bas). Le circuit peut sans difficulté absorber un courant de l'ordre de la dizaine de mA.

gnaux que l'on dirait faits exprès... et qui le sont !

Par exemple, le \overline{WR} des 8085, Z80, etc., signal de commande qui accompagne les données du bus selon un chronogramme qui, cette fois-ci, évoque la Fiche 7B. C'est-à-dire que le flanc montant correspond à une période où les données sont stables sur le bus ; il ne reste qu'à les « piéger » dans un circuit du genre 74LS374, dont la validation fera intervenir :

- un signal de sélection,
- combiné avec \overline{WR} .

Pour le reste, ce type de latch peut absorber bien assez de courant pour faire marcher des LEDs (fig. h).

Sélection, décodage...

Au point où nous en sommes dans cette série, nous disposons d'à peu près tout le Meccano qu'il faut pour dessiner et réaliser une « unité centrale » de micro-ordinateur et ses chemins de données.

Il ne reste plus qu'à résoudre le problème de ces fameux signaux de sélection, traduisant l'adressage, c'est-à-dire traiter le **décodage** ; vaste sujet, qui occupera nos Fiches n° 8 à lui seul..., sans s'épuiser.

ERRATA

Numéro de juillet/août 1984

Fiche 4B, page 75

En bas à droite, lire R x C et non « R x X ».

Page 76

Rétablir la barre de fraction dans la définition du rapport cyclique

$$\frac{\text{temps du signal « haut »}}{\text{temps du signal « bas »}}$$

Fiche 4C, page 78

Dans la figure 20, l'oscillateur d'enveloppe est bien entendu le plus lent, en haut du dessin (capacité de 100 μF).

Le bip-bip est actif lorsque le signal d'enveloppe est haut.

Composants

Suite à de nouvelles demandes par courrier, nous vous rappelons que vous pouvez vous procurer le petit outillage et les composants de nos exemples,

- soit par vous-même, chez le plus proche « épicerie électronique » de votre ville ;
- soit auprès de notre correspondant :

Beta-Time, rue de Brie, Cour n° 14, 94520 Mandres-les-Roses.

Tél. : (1) 598.98.97

qui propose des « lots ».