

MEMOIRES MOS STATIQUES

Vers 1970, les mémoires d'ordinateurs étaient toutes magnétiques ; les bits étaient enregistrés dans de petites perles de ferrite. C'est à ce moment qu'une obscure société, qui allait faire (beaucoup) parler d'elle, a introduit le premier circuit intégré de mémoire à « grande » capacité. C'était... Intel.

De nos jours, les mémoires centrales de nos micros sont toutes en technologies MOS.

Dynamique...

Elle est bien loin, la première puce « 1101 » avec ses 256×1 bits de mémoire dynamique, ses tensions d'alimentation exotiques et ses niveaux logiques hors normes !

Elle est pourtant l'ancêtre de tous les circuits de RAM (Random Access Memory) du type : **dynamique**.

Cet adjectif, dynamique, tient à l'extrême simplicité de la cellule élémentaire de mémoire (fig. 1). Cette cellule, reproduite des milliers de fois sur un seul *chip*, se réduit en effet à une très petite capacité *C*, qui peut être mise en communication avec les lignes de lecture/écriture par un seul transistor *Q* ; ce transistor a la fonction d'un simple commutateur.

Le « bit » d'information est matérialisé par la présence (ou l'absence) de charges stockées dans *C*. Qui dit capacité dit fuites... d'où la nécessité de « regonfler » périodiquement la cellule. Cela s'appelle : **rafraîchissement**.

... ou statique ?

Nous n'en parlerons pas ici davantage, mais il faut savoir que ce processus de rafraîchissement implique des circuits de synchronisation pas toujours simples.

Un autre genre de mémoires existe, dans lequel la cellule élémentaire équivalente est un anneau d'inverseurs (cf. Fiches 5 de septembre 1984). Celle-là, par construction, s'auto-entretient : en contrepartie (fig. 2), elle comporte six transistors contre un pour sa consœur dynamique.

Les mémoires auto-entretenuës de ce second type sont dites **statiques**, par opposition. Ce sont les plus simples d'emploi, comme on va le voir sur l'exemple de la très classique 2114.

Un facteur quatre

A un moment donné, les fabricants de semi-conducteurs savent intégrer tant de transistors par puce. Dans un circuit de mémoire, le gros de ces transistors servent dans les cellules de mémoire ; de sorte qu'avec une technologie donnée, les circuits proposés ont la capacité « *N* » bits en mémoire stati-

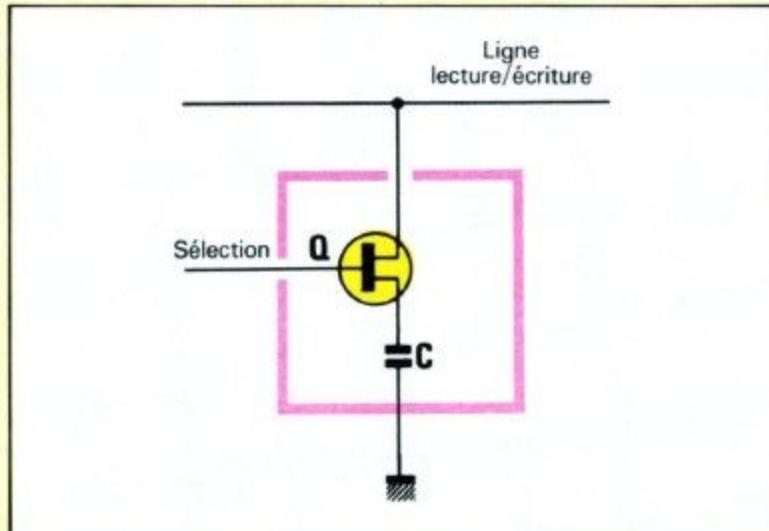


Fig. 1. - Cellule de mémoire dynamique la plus élémentaire : la capacité *C* est la « mémoire » à proprement parler. Elle est mise en communication avec une ligne d'entrées/sorties lorsque le transistor *Q* est activé (sélection de cette cellule).

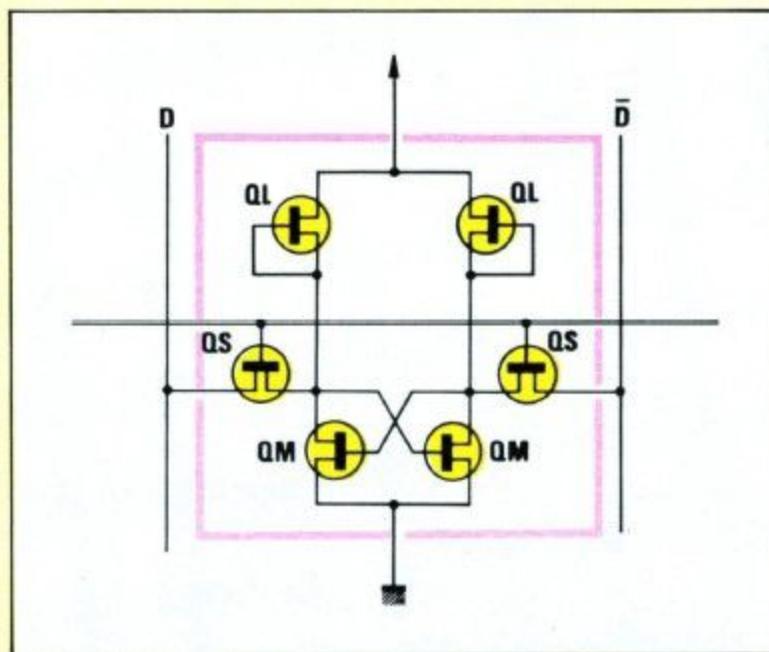


Fig. 2. - Cellule-type de mémoire statique. On compte six transistors contre un seul dans la cellule dynamique. Pour des raisons complexes, on admet qu'une telle cellule occupe grosso modo quatre fois la surface de silicium nécessaire pour la cellule dynamique.

que, ou ont la capacité « $4 \times N$ » bits en mémoire dynamique.

Le choix des ingénieurs qui dessinent une machine est clair : si la capacité voulue est faible, on évitera le surcoût des logiques de rafraîchissement en privilégiant l'emploi de mémoires statiques ; si, au contraire, la machine doit disposer d'une très grande capacité-mémoire (ce qui rend le coût de

logique auxiliaire « marginal »), c'est la mémoire dynamique qui est généralement sélectionnée.

C'est vrai aux extrêmes : un IBM PC a de la mémoire dynamique, tandis qu'un micro de poche a de la mémoire statique. Les compromis sont moins évidents dans la catégorie des MO5, ZX Spectrum et autres Atmos, où les deux formules se rencontrent.

Organisation-type d'une RAM

La mission d'un circuit de mémoire est en définitive fort simple : à une adresse donnée, il s'agit soit de lire, soit d'écrire.

Lire, cela signifie : fournir sur des lignes *ad hoc* une copie du contenu de telle cellule de mémoire. Ecrire, c'est recopier dans telle cellule de mémoire les signaux présents sur des lignes (broches) déterminées.

Il est rare qu'un circuit de mémoire tel que notre exemple (fig. 3) soit le seul du genre dans un système. Ils sont plutôt arrangés de sorte qu'ils donnent une capacité multiple de leur capacité unitaire (fig. 4).

Il est donc nécessaire de pouvoir sélectionner, **activer**, un circuit de mémoire parmi plusieurs. Ceci, à la fin d'un décodage d'adresses dont les « poids forts » désignent tel circuit, tandis que les « poids faibles » désignent telle cellule à l'intérieur dudit circuit.

La plus grande simplicité

Nous sommes familiers (cf. les Fiches n° 6 d'octobre 1984) des montages bi-directionnels sur bus trois-états.

La quasi-totalité des circuits de mémoire contemporains sont fabriqués en conséquence. Ainsi, le circuit 2114 de $1 \text{ Ko} \times 4$ bits est pourvu d'une barrière bidirectionnelle qui met en communication :

- soit la matrice de cellule de mémoires avec le bus pour une lecture : recopie mémoire \rightarrow bus ;
- soit, le bus avec les cellules de mémoire pour une écriture : recopie bus \rightarrow mémoire.

On n'imagine pas plus simple que la logique de commande avec un signal de sélection ($\overline{\text{CS}}$) et un signal d'écriture actif au niveau bas ($\overline{\text{WE}}$) : comme l'aurait écrit Molière, « tout ce qui n'est point écriture est lecture, et tout ce qui n'est point lecture est écriture » (fig. 5).

4 lignes de bus

Ces signaux pilotent deux barrières trois-états, qui mettent la matrice des cellules de mémoire en relation avec les quatre points d'entrée/sorties

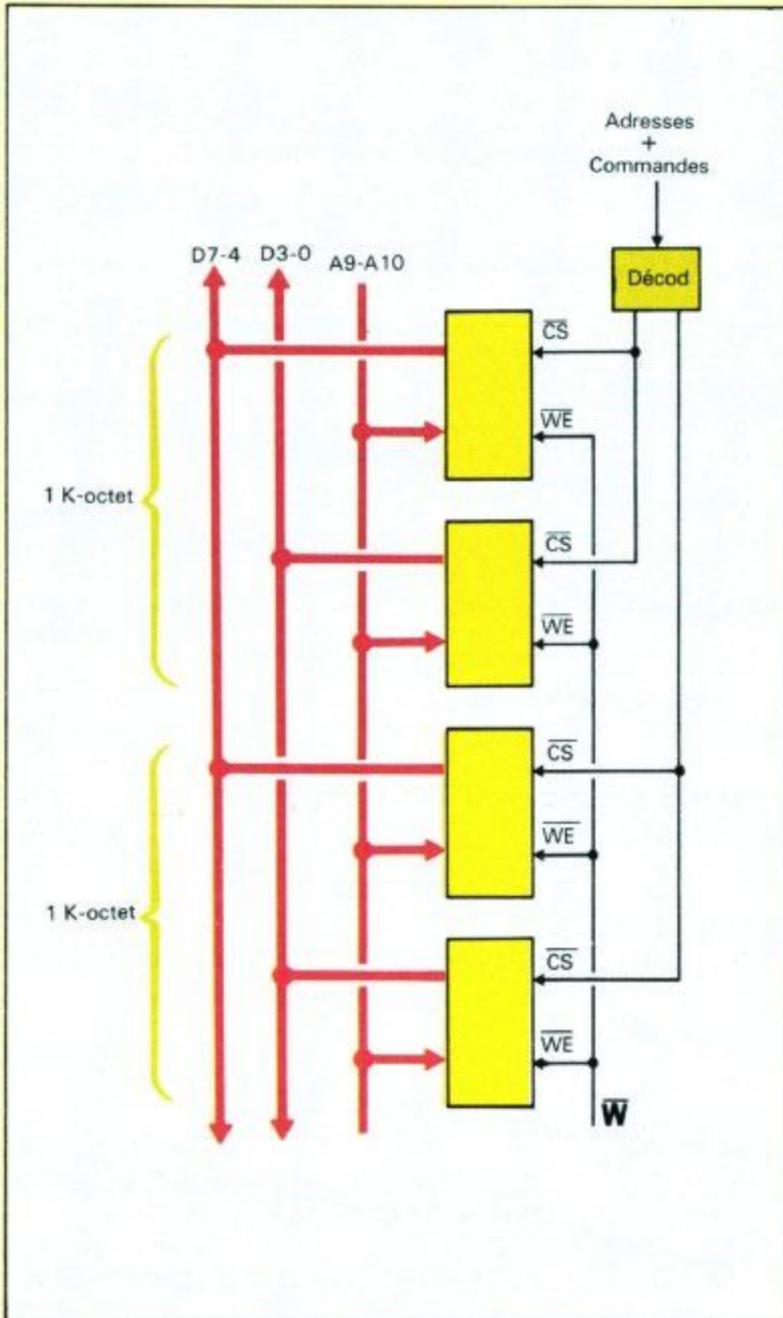


Fig. 4. - Agencement de quatre 2114 pour former une mémoire de 2 K-octets. Les lignes d'adresse ainsi que le signal d'écriture sont en commun. Chaque K-octet est obtenu en associant deux 2114 qui ont en commun leur \overline{CE} (issu du décodeur du système). Dans chaque couple de 2114, l'une est reliée aux 4 lignes de poids faible du bus de données, l'autre aux 4 lignes de poids forts. Il est instructif de monter - sur le papier - diverses mémoires : 4 K x 12 bits, 1 K x 16 bits...

nommés I/O₁ à I/O₄; I/O est l'abréviation de Input/Output: entrée/sortie dans notre langue.

Les lignes d'adresses entrent dans des circuits internes de décodage (cf. Fiches 8), qui *in fine* sélectionnent exactement quatre cellules de mémoire élémentaires.

Ce genre de circuit est le résultat d'une évolution dans le sens d'un mode d'emploi de plus en plus simple. Bien illustré par les chronogrammes d'une lecture ou d'une écriture.

Lecture

La lecture d'une case de mémoire

déterminée s'obtient par simple présentation de l'adresse interne (lignes A); après un délai pour que les décodeurs internes fassent leur office, il suffit de sélectionner le **chip** pour que, peu après (c'est le temps de propagation des cellules aux broches I/O), la « donnée » soit présentée sur le bus.

Ce qui fait la véritable simplicité, appréciée, ô combien, par l'ingénieur de conception, c'est la grande latitude laissée quant à l'ordre des opérations: la sélection peut précéder ou suivre l'instant où les adresses sont valides.

On peut, cas extrême, laisser la validation permanente et faire seulement évoluer les adresses. Dans un tel scé-

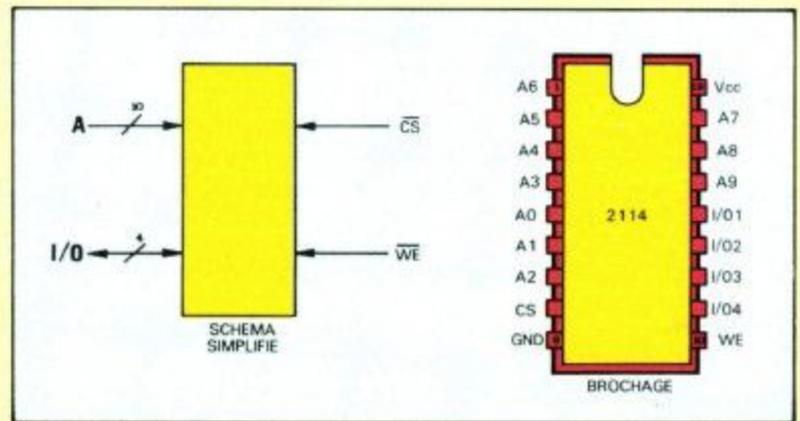


Fig. 3. - Le circuit de mémoire statique 2114, organisé en 1024 cases (10 lignes d'adresse) de 4 bits (4 lignes d'E/S). Un schéma simplifié est préférable pour décrire des montages comportant plusieurs circuits, comme à la figure 4.

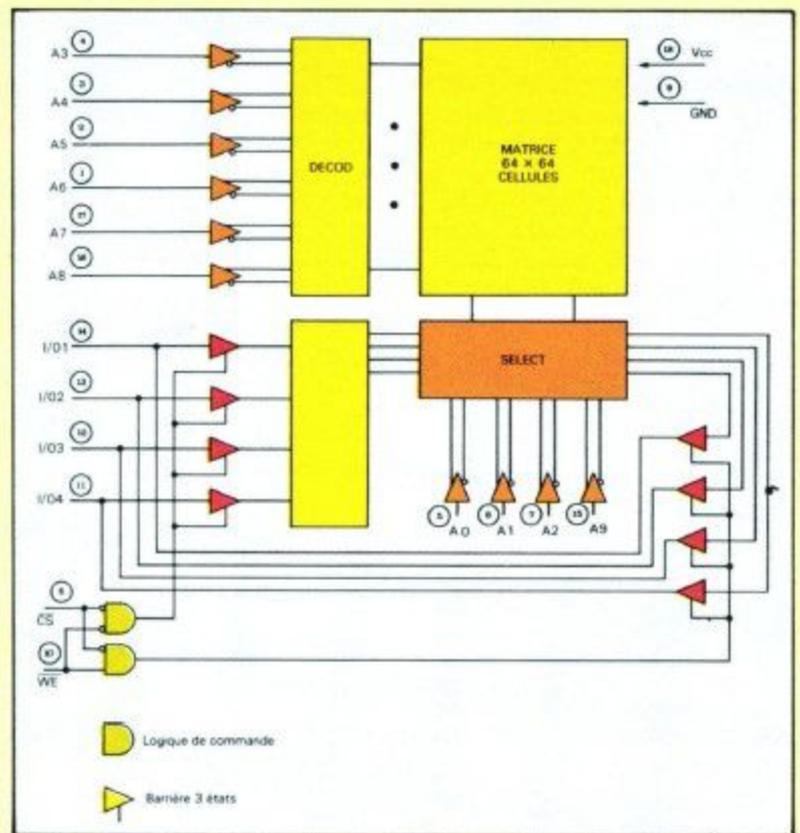


Fig. 5. - Les 4096 cellules d'une 2114 sont organisées en matrice 64 x 64. L'accès à un groupe de quatre cellules est déterminé par un décodeur et une logique de sélection, attaqués par les lignes d'adresse. Le sens des recopies via les barrières trois-états est déterminé par \overline{CS} et \overline{WE} .

nario, il faut cependant admettre que les décodeurs mettent « un certain temps » à se stabiliser. C'est-à-dire que la mémoire va présenter des données lues **instables**, pendant un certain intervalle de temps entre le changement de l'adresse et la désignation stable des cellules de mémoire correspondantes (fig. 6A et 6B).

Ecriture

Le cycle d'écriture est un rien plus délicat.

Il est premièrement nécessaire que le signal de commande d'écriture \overline{WE} reste haut, c'est-à-dire inactif, pen-

dant les changements sur les lignes d'adresses.

La raison est claire pour nous qui avons appris à nous méfier des délais de décodage: on risquerait d'écrire dans des cases de mémoire désignées **transitoirement**; et à tort!

Ensuite, la donnée sur le bus I/O doit être stable assez longtemps **avant** le flanc arrière de \overline{WE} , pour tenir compte des délais de propagation internes avant que les valeurs logiques ne soient « verrouillées » dans leurs cellules statiques.

Par rapport à un proche passé, ces spécifications sont incroyablement libérales. Le respect des contraintes

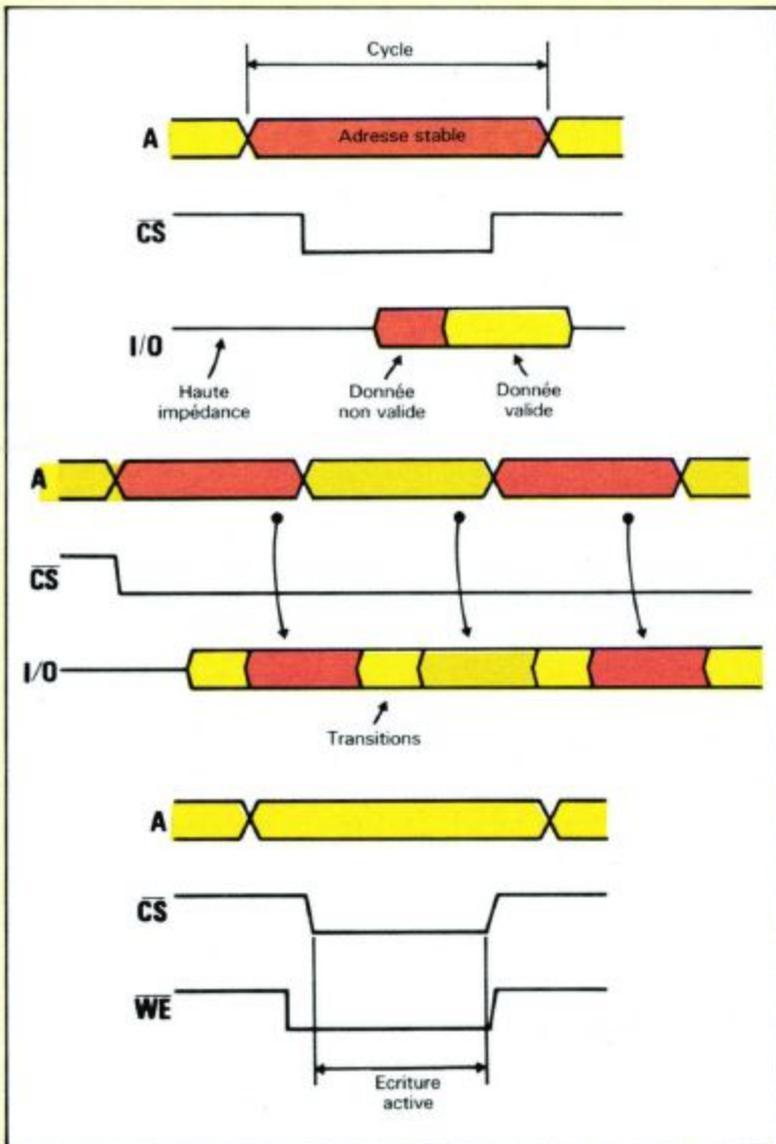


Fig. 6A. - Cycle de lecture type, avec l'adresse stable avant la sélection \overline{CS} . Les 4 bits sélectionnés sont recopiés sur les lignes I/O après un délai. Entre-temps, la barrière trois-états est déjà active, mais les valeurs fugitivement émises sur I/O ne sont pas encore valides (durée : quelques dizaines de nanosecondes).

Fig. 6B. - Un mode d'emploi peu recommandable mais possible, où la sélection est permanente et les adresses varient. Au délai de décodage + stabilisation près, les cases de mémoire correspondantes apparaissent successivement sur I/O.

Fig. 6C. - Chronogramme type d'écriture. \overline{WE} précède \overline{CS} , et s'achève après. La quasi-simultanéité donne le même comportement. Le souci est que la barrière de sortie ne soit validée à aucun moment ; dans le cas contraire, un conflit fugitif peut exister avec une autre « source » sur le bus.

d'accès n'était pas une mince affaire il y a peu d'années encore !

Montage d'expérience

Pour rester facile, notre montage d'expérience va « geler » à des valeurs fixes les lignes d'adresse A_9 à A_1 , par des résistances de rappel (fig. 7).

Seule la ligne A_0 sera modifiable par un commutateur DIP, de telle sorte que nous allons lire/écrire dans deux cases de mémoire seulement...

La « donnée » sera elle-même limitée à 1 bit.

Pour l'écriture, l'état du bit est imposé par un autre commutateur DIP,

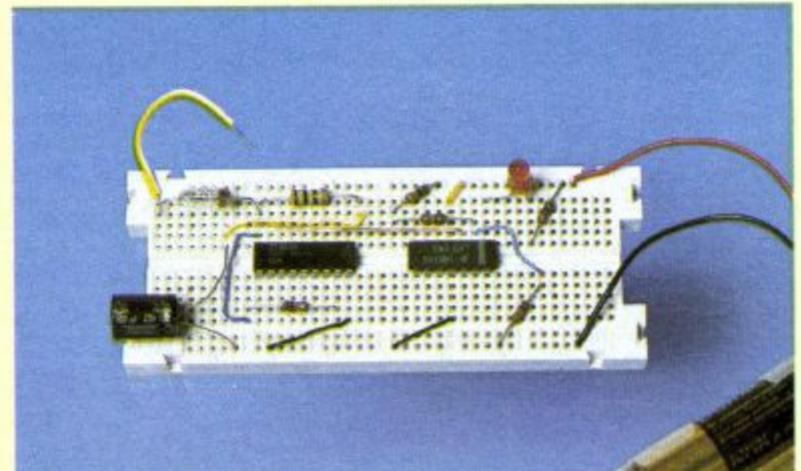
via une barrière trois-états (74LS244) qui n'est passante que si le signal \overline{WE} est activé.

Quant à la lecture, nous nous contenterons d'un indicateur à LED connecté sur le « bus » (réduit à un seul contact) via l'autre moitié du 74LS244.

Impulsions d'écriture

Le signal d'écriture sera fabriqué grâce à un simple fil volant ; la valeur de repos (état haut) est imposée par un rappel.

On « écrit » en touchant la masse avec le fil volant. Le signal obtenu ainsi est bien entendu infect : une suite d'im-



Une réalisation pratique à deux adresses et un seul bit. Pour l'écriture, l'état du bit est imposé par un commutateur DIP. Pour la lecture, une simple LED suffit.

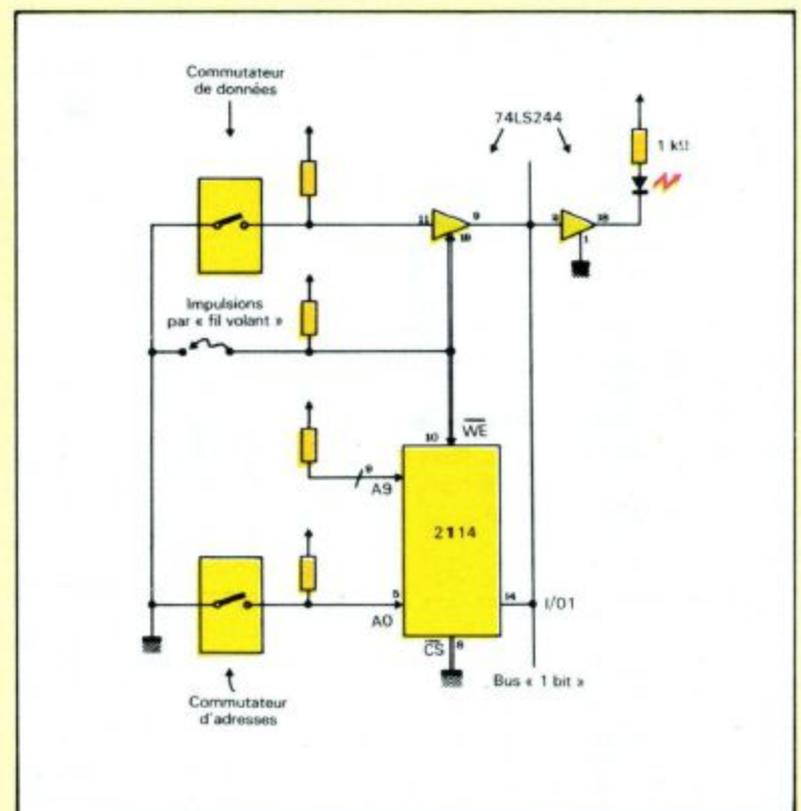


Fig. 7. - Le montage d'expérience, qui n'utilise que deux adresses, et un seul bit. Les résistances de rappel peuvent prendre des valeurs quelconques au-delà de 1 kΩ. Voir le texte pour le fonctionnement.

pulsions de largeur quelconque, avec les rebonds, etc.

Cependant, on vérifiera sans peine que cela fonctionne très bien : on écrit certes plutôt dix fois qu'une ; mais, du fait que la « donnée » est bien stable ainsi que l'adresse, cela n'a pas d'incidence sur le résultat final.

On écrit par exemple 0 puis 1 dans les deux cases successives en procédant comme suit :

- commutateur d'adresse à « 0 », de donnée idem, toucher la masse avec le fil volant ;
- commutateurs d'adresse et de donnée à « 1 », même manœuvre.

La relecture

Selon les spécifications, le montage est en état de lecture au repos, quand le fil d'écriture reste « en l'air ». La diode LED s'allume ou s'éteint alors selon l'adresse sélectionnée via le commutateur qui agit sur A_0 .

Les Saint-Thomas vérifieront, s'ils le veulent, les quatre combinaisons possibles des deux bits, correspondant aux deux adresses possibles.

Si l'on souhaite vraiment compléter l'expérimentation, il reste à déconnecter la ligne de sélection \overline{CE} , et vérifier que le bus est en état de haute-impédance ; le pèse-signaux donne une indication d'état logique non défini.

SECRETS D'HARPAGON

LE SECOURS DES MEMOIRES CMOS

Les mémoires magnétiques d'autrefois avaient une grande vertu : courant coupé, elles conservaient indéfiniment leurs bits stockés dans autant de petits aimants.

Les mémoires à semi-conducteurs sont volatiles : plus de courant, plus de bits.

Cependant, avec la technologie C-MOS... et des ruses d'avare, on peut garder l'information pendant des jours, des mois et même des années (?).

Les miracles C-MOS

Ce n'est pas la première fois que nous évoquons dans ces colonnes les vertus d'économie de la technologie MOS-complémentaire, C-MOS en abrégé.

La théorie des semi-conducteurs est fort complexe. Mais le résultat (l'économie d'énergie) n'est pas forcément contraire au bon sens, comme on peut le montrer par une analogie mécanique.

On peut fabriquer une mémoire « mécanique » à 1 bit avec un levier comme à la figure 8 ; on n'a aucun besoin d'énergie pour le maintenir dans la position A ou la position B, ses positions de repos. En revanche, il faut « travailler » (le tirer dans l'autre sens) pour faire « basculer » cette mémoire.

Les éléments de mémoire C-MOS sont ainsi conçus. Un courant de fuite insignifiant est consommé pour qu'ils restent en état ; on ne consomme du courant (de l'énergie) de manière notable que lorsqu'on change l'état d'un élément, c'est-à-dire, lorsque l'on écrit dedans.

Du 2114 au 6514

Les augures prédisent que les technologies C-MOS domineront les dernières années de cette décennie, et ils ont probablement raison.

Au jour où ces lignes sont écrites, nous nous trouvons dans une situation transitoire : pour certains circuits « standards » de mémoire, il existe une référence en technologie N-MOS classique, et un équivalent en technologie C-MOS. Ce dernier présente des caractéristiques très voisines (pas identiques), plus un avantage incontestable : une consommation beaucoup, beaucoup plus faible !

La comparaison du schéma fonctionnel du circuit 6514 (référence Matra-Harris) et de celui du 2114 décrit dans notre Fiche 10A fait apparaître une très grande similitude dans l'organisation. Ce sont tous les deux des mémoires

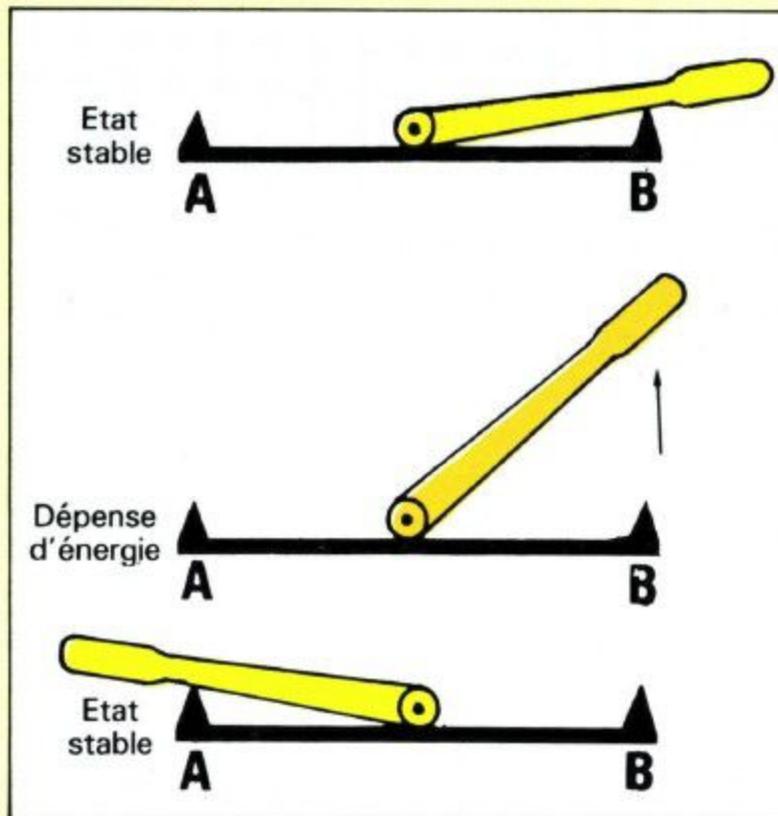


Fig. 8. - Une mémoire « mécanique », bonne image d'une cellule C-MOS. Il faut un apport d'énergie pour faire passer le levier de la position A à la position B ou vice-versa. La dépense est nulle dans les positions stables.

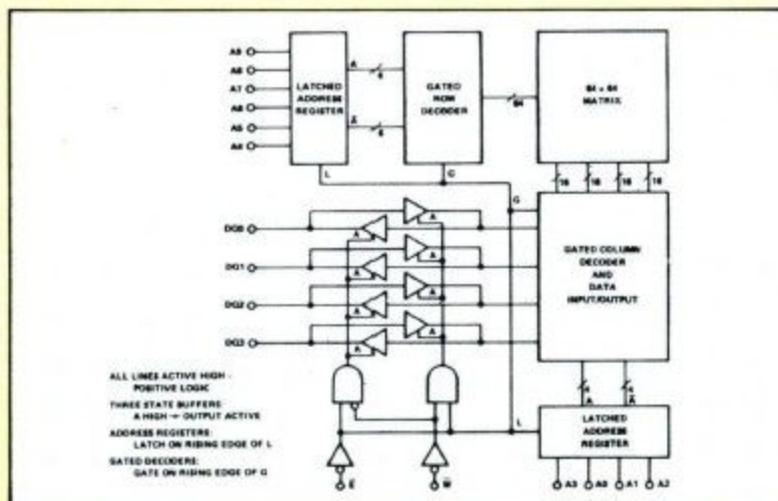


Fig. 9. - Schéma fonctionnel du circuit Matra-Harris 6514 : on verra la similitude avec le circuit 2114, à la seule différence des registres d'adresse (latches) où l'adresse courante est recopiée sur le front descendant de \bar{E} .

1024 x 4 bits, le brochage est le même. La compatibilité est presque complète : disposant de registres internes pour mémoriser l'adresse, le 6514 n'a besoin d'une adresse stable qu'au début de son cycle (fig. 9). En revanche, un front descendant sur l'entrée de validation rebaptisée \bar{E} est nécessaire en début de cycle, précisément pour « piéger » cette adresse.

Parlons consommation...

Comme on peut le voir en comparant les feuilles de spécification des deux composants, les caractéristiques fonctionnelles des 2114 et 6514 sont très voisines. Dans nombre de systèmes, on pourrait échanger l'un pour l'autre sans modifications ; entendons-nous bien, pas dans tous !

Les différences de taille apparaissent dans les indications de consommation.

La 2114 consomme environ 50 mA dans des conditions normales d'utilisation, c'est-à-dire 10 fois plus que les 5 mA d'une 6514. Ces chiffres n'ont qu'une valeur indicative, car les mémoires consomment d'autant plus ou d'autant moins qu'elles sont sollicitées. Néanmoins, le rapport de dix à un est grosso modo correct.

Quand on connaît le coût des alimentations électriques des micros, ainsi que l'incidence de la consommation sur l'« habillage » (châssis, ventilateurs...), l'intérêt économique est évident.

...et sauvegarde

Mais c'est en matière de conservation des informations que les composants C-MOS sont imbattables.

De ce point de vue, la comparaison N-MOS/C-MOS est sans appel !

Lorsqu'un circuit 2114 n'a plus les 5 V \pm 10 % voulus pour son alimentation, ce qui se passe... n'est pas garanti. Il est en tout cas certain qu'à 2 V de tension d'alimentation, l'information écrite antérieurement peut être considérée comme perdue.

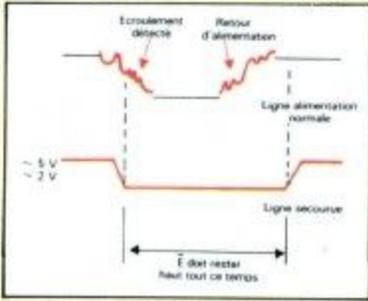


Fig. 10. - Les phases délicates du secours d'une mémoire. L'écroulement d'alimentation est souvent irrégulier; il faut le détecter « en temps voulu » pour stabiliser les entrées, et particulièrement E. Il faut attendre le retour complet à la normale avant de valider de nouveau le circuit.

Tandis qu'un composant C-MOS équivalent comme la 6514 va (à cette même tension de 2 V) non seulement conserver ses données, mais consommer si peu, qu'une toute petite pile pourra sauvegarder son information pendant des jours, des mois, voire des années.

Pas si simple

Dès lors, il est plus que tentant de dessiner des ensembles de mémoire en C-MOS, avec une pile dans un coin pour que l'information y soit conservée, aussi stable que dans feu les mémoires à tores des débuts de l'informatique.

Voire...

Pour assurer cette conservation dans les conditions de moindre consommation idéales (1 μ A par chip!), il va falloir respecter un cahier des charges pas vraiment évident; citons le fabricant :

- la validation \bar{E} doit être stabilisée à l'état « haut »;
- toutes les entrées doivent être maintenues à l'état « haut » égal à la tension d'alimentation, ou à la masse;
- on ne doit remettre le circuit en service que lorsque la tension d'alimentation est redevenue normale, soit 5 V \pm 10 %.

Les phases les plus dangereuses sont la chute de l'alimentation normale : il ne faut ni sélectionner le circuit ni (pire) agir sur l'entrée d'écriture, et le retour à cette tension normale. Or, s'il est un problème non trivial pour le concepteur, c'est bien de maîtriser les états transitoires de son système : mise en marche et arrêt; et singulièrement, lorsque cet arrêt est imprévisible (fig. 10.)

Montage de base

Le plus simple des montages pour secourir une mémoire C-MOS, mais non le plus sûr, est donné à la figure 11.

A partir d'une tension d'alimentation « normale », disons 5 V, on alimente les

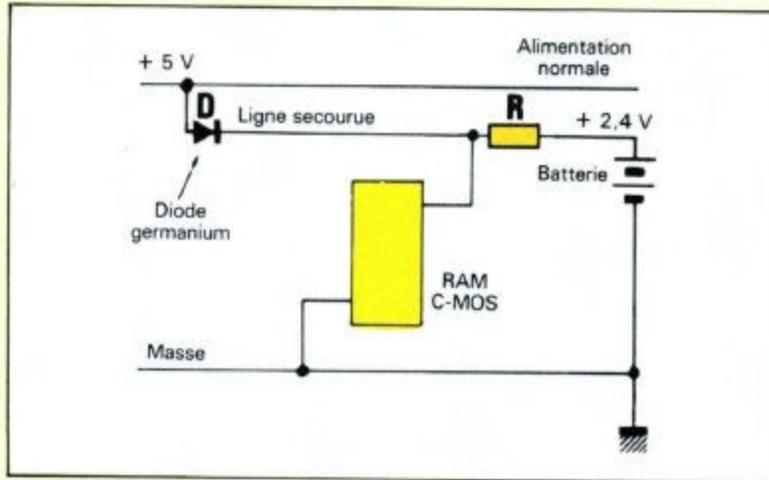


Fig. 11. - Le montage le plus simple pour le secours mémoire; très incomplet dans beaucoup de cas réels! La diode D sera une « vieille » diode au germanium, qui a l'avantage d'une chute de tension limitée, de l'ordre de 300 mV par rapport aux 1 V et plus des diodes au silicium. En régime normal, la batterie de secours se charge via R; c'est elle qui débite lorsque la ligne d'alimentation « normale » s'effondre.

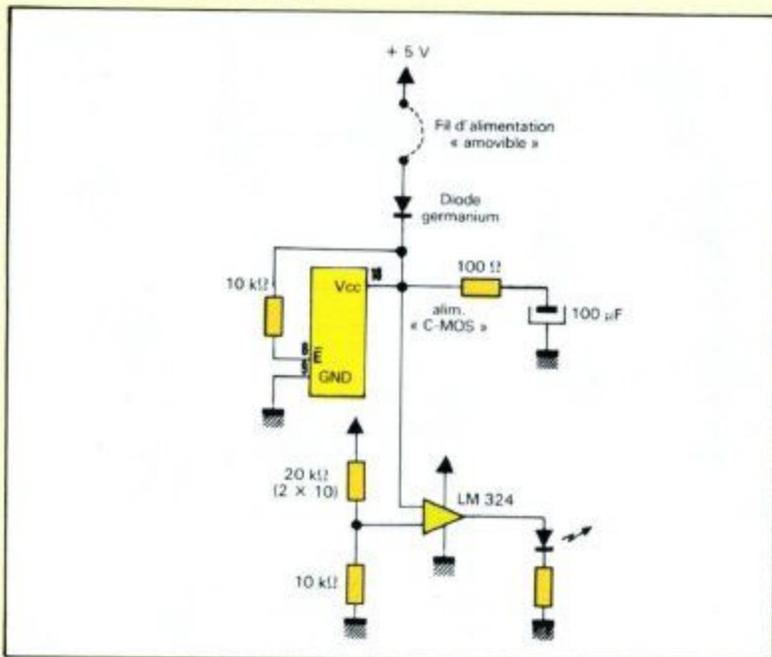
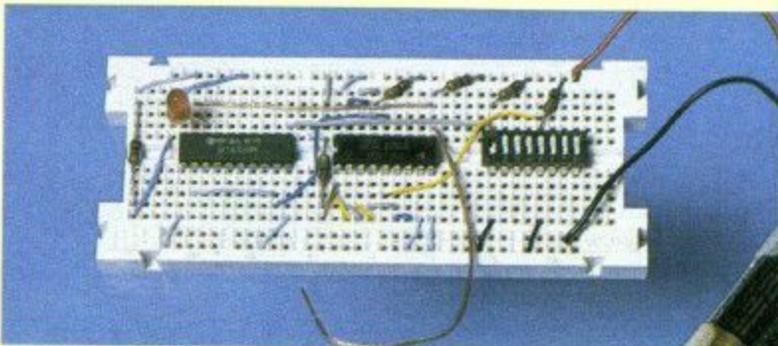


Fig. 12. - La batterie de la figure 10 est remplacée par un condensateur de 100 μ F, qui « tient » tout de même 5 minutes environ. Le comparateur indiquera la chute de la tension de secours sous 1/3 de la tension normale. Voir texte.



Montage pratique de la figure 12.

circuits de mémoire via une diode D qui débite :

- dans le(s) circuit(s) de mémoire,
- dans une batterie, par exemple deux éléments cadmium-nickel qui donnent 2,4 V en charge.

Lorsque la tension d'alimentation chute, la diode se bloque, interdisant au courant de la batterie d'aller se per-

dre dans les lignes d'alimentation normale; ce courant est réservé aux seules mémoires.

Une résistance de rappel assure le maintien de l'entrée de validation à l'état inactif... à condition que le circuit qui attaque normalement cette entrée, un décodeur d'adresses par exemple,

veuille bien rester neutre dès que la tension normale s'écroule (*).

Une capa pour l'expérience

Au lieu d'une batterie, notre montage expérimental comporte une capacité de 100 μ F. La théorie est très simple : cette capacité se charge lorsque l'ensemble est normalement alimenté, et débite dans la mémoire quand on enlève le fil d'alimentation (fig. 12).

A côté du montage de mémoire secours, on installera un comparateur LM324; nous avons décrit ce genre d'élément dans notre Fiche 5A. Pour le montage pratique, rappelons simplement que les broches d'alimentation ne sont pas aux endroits habituels.

Ce comparateur va indiquer via une LED si la tension « de secours » est supérieure à 1,7 V environ (LED allumée) ou inférieure (LED éteinte). On pourra considérer que la mémoire 6514 est sauvée tant que la LED est allumée.

Un peu de patience

La manipulation est très facile, mais par nature un peu longue...

Dans un premier temps, on relie la diode au germanium (***) à l'alimentation + 5V par un fil amovible. On comptera mentalement jusqu'à vingt ou trente, afin que la capacité C soit montée à pleine charge. L'indicateur à LED est bien sûr allumé, puisque la tension « C-MOS » est très voisine de la tension primaire.

On fait ensuite sauter le fil de liaison, de sorte que la mémoire ne soit plus alimentée que par la capacité. Et puis, on attend... que la LED s'éteigne, c'est-à-dire que la sauvegarde n'ait plus court.

Il faut s'armer d'un peu de patience, car il y en a pour cinq minutes environ. Si vous aimez les calculs, vous pouvez vérifier l'ordre de grandeur de la fuite de courant, et trouver une valeur voisine du microampère.

On recommencera la manipulation, mais cette fois-ci en connectant E à la masse via la même résistance de 10 k Ω . Dans ces conditions, la LED s'éteint au bout d'une minute environ, ce qui prouve que les recommandations du constructeur ne sont pas une vue de l'esprit...

(*) C'est cela qui est vraiment difficile. Les curieux liront attentivement les notes d'application des fabricants de mémoires C-MOS, et verront qu'il est rien moins qu'évident de dessiner des circuits de sauvegarde fiables !

(**) Si vous aviez vu la tête de mon fournisseur habituel quand je lui ai demandé une telle diode; pour lui, une pièce de musée ! Mais patience, le germanium fera reparler de lui...

MHS
MATRA-HARRIS SEMICONDUCTEURS
fiche technique

HM-6514
1024 x 4 CMOS RAM

Features

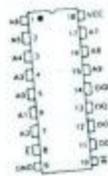
- LOW POWER STANDBY
- LOW POWER OPERATION
- DATA RETENTION
- TTL COMPATIBLE INPUT/OUTPUT
- COMMON DATA INPUT/OUTPUT
- THREE-STATE OUTPUTS
- STANDARD JEDEC PINOUT
- FAST ACCESS TIME
- MILITARY TEMPERATURE RANGE
- INDUSTRIAL TEMPERATURE RANGE
- 18 PIN PACKAGE FOR HIGH DENSITY
- ON CHIP ADDRESS REGISTER

250µW MAX.
35µW/MHz MAX.
• 2.0V MIN.

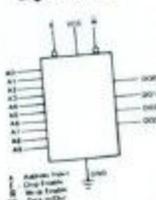
200ns MAX.

Pinout

TOP VIEW



Logic Symbol



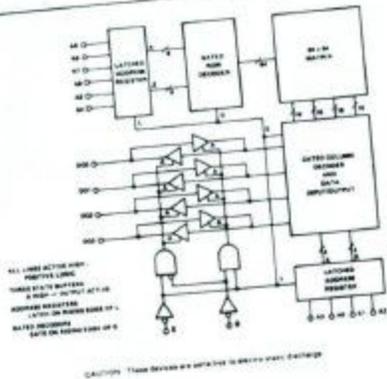
Description

The HM-6514 is a 1024 x 4 static CMOS RAM fabricated using well aligned silicon gate technology. The device utilizes synchronous circuitry to achieve high performance and low power operation.

On chip latches are provided for the address allowing efficient interfacing with microprocessor systems. The data output can be forced to a high impedance state for use in expanded memory systems.

The HM-6514 is a fully static RAM and may be maintained in any state for an indefinite period of time. Data retention supply voltage and supply current are guaranteed over temperature.

Functional Diagram



La « feuille de specs »

Dans l'argot des électroniciens/ informaticiens, les données de spécification d'un produit sont ses « specs » (prononcer « spek » pour faire branché).

Sous la pression de très gros clients, tels que le tout-puissant département de la Défense des Etats-Unis, les documents qui décrivent les circuits intégrés adoptent une présentation quasi uniforme depuis les années 1970.

Il existe même des normes. Mais qui lit les normes ?

Les feuilles de spécifications (en anglais *data sheet*) représentent une formidable quantité de données qui, si l'on y regarde bien, sont présentées de la manière la plus dense et la plus efficace possible.

Cependant, leur lecture n'a rien d'une partie de plaisir, y compris pour les spécialistes.

Un fil d'Ariane

Que dire alors de l'amateur qui se trouve pour la première fois confronté

à un tel tableau de chiffres, assorti de force notes en bas de page et de chronogrammes ésotériques ?

Dès les premières parutions de notre série, le courrier des lecteurs a été éloquent : dans l'ensemble, notre plan de marche était approuvé, à condition que tôt ou tard nous expliquions par quel bout prendre les fameuses feuilles de specs.

Le moment est venu.

Plus tôt, il nous aurait manqué un certain « bagage », notamment en ce qui concerne les contraintes de temporisation.

Nous venons de traiter de composants qui ne sont ni très simples ni exagérément complexes : les circuits intégrés de mémoire.

Sur l'exemple du 6514 de la société Matra-Harris (et avec son aimable autorisation), découvrons donc une feuille de spécifications réelles, et tâchons d'indiquer le fil d'Ariane qui permet de s'y retrouver dans ce genre de littérature !

En langue anglaise

En principe, les produits commercialisés en France devraient avoir une documentation en langue française.

Force est de constater (qu'on le regrette ou non) que l'immense majorité des documents disponibles quant aux circuits intégrés est dans la langue dominante : l'anglais.

Pas question ici de donner un cours d'anglais technique. Pourtant, nous allons travailler à partir d'une feuille de spécifications en anglais : même si l'on ne sait pas lire tout le texte, on verra qu'un petit nombre de points de repère suffisent à comprendre l'essentiel des données que contient le document.

Let's go...

Titres et features

Une feuille de specs commence invariablement par un titre et une énumération de caractéristiques qui sont à mi-chemin entre l'information technique et la publicité. C'est normal, il s'agit des premières lignes de « vendre » le composant au concepteur !

Le circuit HM-6414 est d'emblée présenté comme une

1024 x 4 CMOS RAM

ce qui, en abrégé, indique la **fonction** (mémoire RAM), la capacité et l'**organisation** (1024 x 4), ainsi que la **technologie** (C-MOS).

Suit l'énumération des *features*, en bon français : les **traits** caractéristiques du produit. Au même titre que les traits d'un visage, ils composent un portrait abrégé.

Ce n'est pas par hasard que le premier trait sur lequel insiste le fabricant est la très faible consommation de maintien, le *low power standby*, qui est inférieure à 1/4 mW.

Suivent l'indication d'une consommation active, elle-même très faible, ainsi que la tension de maintien de 2 V.

Les *features* suivants sont d'un moindre intérêt ou, plus exactement, moins originaux. L'expert va tout de même poursuivre sa lecture, et découvrir un trait singulier en queue de liste : le *on chip address register*, qui indique que le circuit dispose d'un registre d'adresse interne... caractéristique fonctionnelle bien plus importante en soi que les *three-state outputs*, qui, pour ce genre de circuit, sont la règle plutôt que l'exception !

En résumé : on fera attention aux caractéristiques placées en tête, sur lesquelles le constructeur attire volontairement l'attention.

Mais ce n'est pas une raison pour négliger les autres « détails », dont certains peuvent être fort importants...

Les schémas

Le brochage (*pinout*) n'est rien d'autre qu'une leçon de choses - indispensable - qui nous dit par quelle broche prendre quel signal. Rien de bien remarquable dans celui-là, avec ses broches d'alimentation (V_{CC} et GND) aux extrémités habituelles.

Pas de grandes surprises non plus avec le diagramme « logique ». Notez cependant que c'est dans ce cartouche, identifié *Logic Symbol*, que les noms et fonctions des différentes broches sont explicités. Si l'on compare avec la RAM 2114 de notre Fiche 10A, on constate que les noms sont changés pour certains points (D au lieu de I/O, E au lieu de CS, W au lieu de WE), mais non les attributions.

Plus intéressant est le schéma fonctionnel (*functional diagram*). On y retrouve ce que l'on s'attend à y retrouver : décodeurs, barrières trois-états, logique de sélection ; mais aussi, et cela attire l'attention, des registres d'adresse (*latched address register*) sur lesquels notre attention avait déjà été attirée en en-tête.

Regardant plus attentivement, on voit que ces latches sont commandés par le signal de sélection E, qui est donc plus qu'une simple validation...

Une bonne surprise

Dans la deuxième page du document, on trouve un « mode d'emploi » bien sympathique, puisqu'il indique les règles selon lesquelles sont « baptisées » les diverses caractéristiques du circuit, ainsi que les notations pour les chronogrammes.

Ainsi, on sait qu'un paramètre dont le nom commence par V sera une tension, par C une capacité, etc.

En outre, les contraintes et caractéristiques **temporelles** (durées et délais entre signaux) seront autant de T_{xxxx} . Mieux, leur nom est associé avec leur définition « de » tel événement « à » tel autre.

Ainsi, TELEH sera le délai (T) entre le début de la validation (EL = *Enable Low* = validation au niveau bas) jusqu'à sa fin (EH = *Enable High* = validation au niveau haut).

Ce n'est pas forcément limpide en soi, mais c'est déjà beaucoup mieux que des symboles arbitraires !

Les notations pour les chronogrammes sont, elles aussi, intéressantes, notamment avec le système des hachures descendantes, qui indiquent que la transition haut/bas peut s'effectuer dans la période « hachurée », et les hachures montantes pour la transition réciproque.

Des colonnes de chiffres...

Voici la partie de la feuille de spécifications la plus rébarbative, mais aussi celle qui contient les engagements « chiffrés » du fabricant.

D'abord, les *Absolute Maximum Ratings*, c'est-à-dire, jusqu'où on peut aller trop loin ! En clair, le fabricant ne répond plus de rien si vous alimentez le circuit avec plus de 8 V ou si vous le stockez dans un four à plus de 150 °C... ou dans un fameux congélateur, au choix.

L'*Operating Range*, c'est le domaine normal de fonctionnement. On y trouve l'habituelle spécification à 5 V \pm 10 %, ainsi que des gammes de température, plus généreuses pour les « militaires » et qui coûtent bien entendu plus cher.

Viennent ensuite deux tableaux référencés D.C. et A.C.

Dans le tableau D.C. (*Direct Current*), il est question des **variables électriques** pertinentes, du courant de secours (*Standby Supply Current*) à la capacité des lignes d'entrées/ sorties (*Input/Output Capacitance*).

Systématiquement, cette sorte de tableau indique pour chaque caractéristique un **nom** (exemple : VIL), une **définition** (*Input Low Voltage* = niveau « bas » sur une entrée) et des **valeurs limites** (ici - 0,3 V et 0,8 V) où l'on reconnaît le seuil TTL bien connu.

La colonne des valeurs « typiques » donne des valeurs sur lesquelles le fabricant **ne s'engage pas**, mais qui sont représentatives du circuit « moyen » placé dans des conditions « normales ». Ici, Matra-Harris précise que ces indications sont données à la température ambiante habituelle (25 °C) et avec une alimentation de valeur précise.

Ces indications « typiques » sont très précieuses pour le concepteur, car on peut, en général, s'y fier « statistiquement ». Ainsi, il sera raisonnable de compter 1 μ A en secours par chip 6514, plus une petite marge de sécurité, plutôt que de compter 50 μ A \times le nombre de chips du système. On additionne les cas les plus défavorables pour une navette ou une Ariane et non pour un micro personnel portable produit en grande série.

Le principe de présentation des **temps** dans le tableau A.C. (*Alternating Current*) est le même, avec les indications mini, maxi et typiques.

Ce à quoi il faut être le plus attentif dans la lecture des spécifications temporelles, c'est au fait que la plupart des paramètres ont **soit** une valeur maximum, **soit** une valeur minimum ; rarement les deux !

Quand un paramètre est indiqué avec une valeur maximale, comme TELQV avec 200 ns, cela signifie qu'une opération met **au plus** ce délai pour s'accomplir ; en l'occurrence, il s'agit du délai entre le début de sélection et l'apparition de la donnée « lue » en sortie.

Quand c'est un minimum qui est donné, il s'agit d'une **contrainte**, qui, le plus souvent, s'applique aux signaux venus du dehors. Par exemple, TELAX est donné avec un minimum de 50 ns, ce qui signifie que le système dans lequel est plongé un 6514 doit maintenir les lignes d'adresses stables 50 ns **au moins** après le début de validation.

Une dernière recommandation : ne **jamais** négliger les notes en bas de page et en tout petit ! Elles ne sont pas toutes innocentes...

Ici, la note 2 est très utile pour le **design** d'un système à faible consommation, puisqu'elle donne la puissance nécessaire en fonction de la cadence d'utilisation : 5 nA par MHz.

Les chronogrammes

La présentation adoptée pour les chronogrammes de cette feuille est commode, car les « événements clés » sont numérotés et fléchés à partir de... - 1 (c'est-à-dire « un peu avant l'opération »), puis 0, 1, etc.

Un petit tableau explicite le chronogramme. Ainsi, on voit qu'à l'étape 1 de la lecture (*Read Cycle*) les amplis trois-états sont déjà actifs, tandis que la donnée n'est **pas encore** propagée de la mémoire proprement dite aux sorties ; ce qui est indiqué par les hachures sur la ligne DO du chronogramme (*Data Out*). Elles seront stables à l'étape 2.

Les chronogrammes doivent être rapprochés du tableau A.C. qui indique les valeurs des différents relais, alors que le chronogramme donne leur définition graphique ; pas forcément « à l'échelle » (question de place sur le papier).

Ainsi, on voit que l'on passe de l'étape 1 à l'étape 2 (données instables / données stables) dans le délai TELQV à partir du début de validation par le flanc descendant de \bar{E} . Le tableau A.C. nous a donné un maximum de 200 ns pour ce délai.

Si l'on veut concevoir des systèmes ou des interfaces fiables, il vaut mieux s'entraîner à lire **très attentivement** et très en détail les chronogrammes. Faute de quoi, de prétendus « parasites » et des soi-disant « aléas » viendront polluer le chef-d'œuvre...